

**R&D for the ALICE Photon Spectrometer  
Upgrade  
(JINR Participation)**

*The report on the execution of the project in 2019-2020.*

ALICE PHOS measuring electronics boards need updating for the following reasons:

- An increase in the dynamic range of energies up to 200 GeV,
- Increase in the count rate in the measuring channels,
- The need to measure more accurately the time of flight,
- Aging of the element base, etc.

An increase in the counting rate and an expansion of the dynamic range will make it possible to take full advantage of the highly granularity of the PHOS and perform a number of measurements:

- The measuring the spectra of identified neutral pions, eta, and omega mesons and direct photons with transverse momenta greater than 50-100 GeV,
- The study the correlations of these particles.

Therefore, it proposed in 2019 - 2020 to design a prototype of the PHOS readout electronics card. The use of the investigated photodetectors will make it possible to abandon the PHOS cooling, leaving the thermal stabilization at a positive temperature. This will greatly simplify the maintenance of the detector - no need for repairs will each time disassemble everything and take out the modules to the surface. In this case, changes in the design of the module will be minimal.

Proceeding from this, the development of a new card of the PHOS measuring electronics is a logical continuation of the work begun.

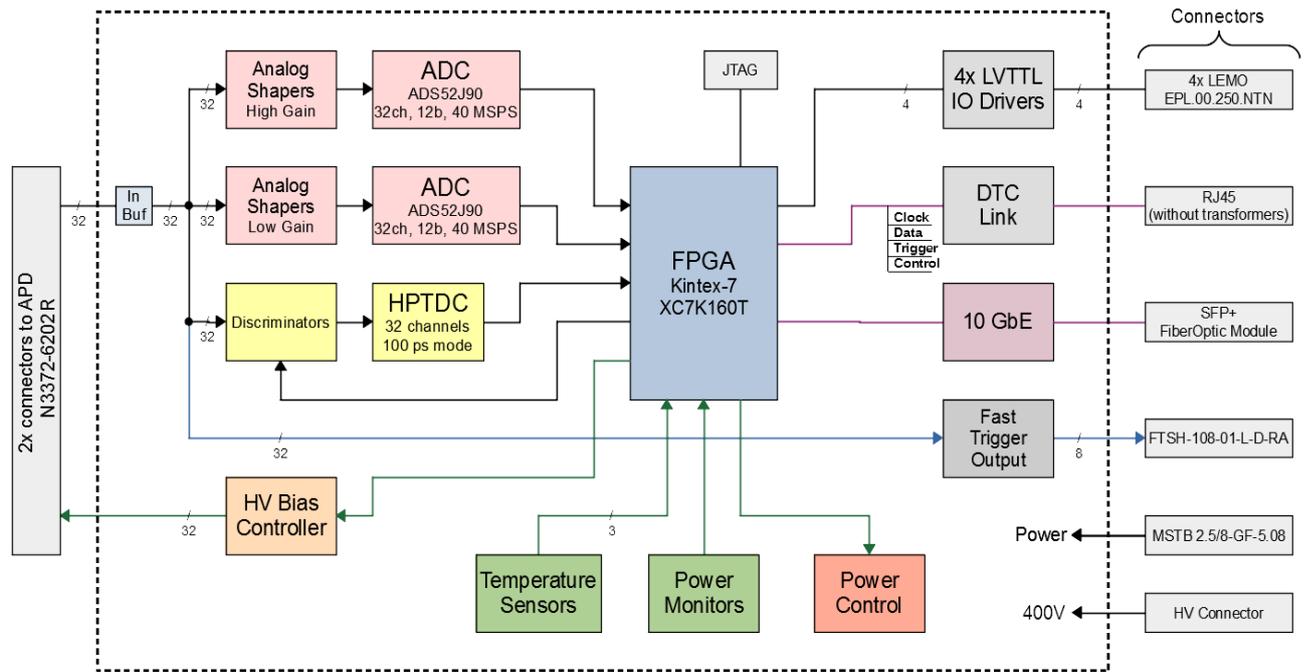
Thus, the purpose of the modernization is to improve the measuring characteristics of the PHOS under conditions of increasing the LHC luminosity and increasing the maximum energy of registered photons:

- Improvement of the measuring characteristics of the PHOS detector device achieved by expanding the dynamic range of the measured energies and increasing the accuracy when measuring the time of flight;
- Increasing the speed of the measuring electronics achieved by reducing the time of measurement and data reading;
- Use of a new element base. The existing PHOS measuring electronics developed in 2004 using a specialized ALTRO microcircuit, which no longer produced, like most of the components used in the manufacture of these cards.

The result of the project is the development of design documentation for a prototype of a 32-channel PHOS measuring card and the production of 2 cards for testing.

### **Main characteristics of the developed PHOS card**

The new card should replace the old one without reworking the connecting wires, loops and the DAQ and DCS interface. Existing power supplies used. A brief description of the FOS given in the Appendix. The block diagram of the card shown in Fig. 1.



#### Technical Specifications:

- 32 input channels;
- Energy measurement in the range of 5 MeV - 200 GeV;
- ADC capacity is 12 bits; signal-sampling rate is 40 MSPS;
- measuring the time of flight by the Start-Stop method with an error not worse than 100 ps;
- Individual adjustment of the bias voltage of avalanche photodiodes;
- Individual adjustment of thresholds in the timing channels;
- Formation of a trigger signal for the PHOS trigger system;
- Control of electrical and temperature parameters of the card according to the ALICE-DCS standard;
- reading data according to the ALICE-DAQ standard.

The basis of the measuring electronics of the module are two ADS52J90 ADC microcircuits and an HPTDC (High Performance Time to Digital Converter) time-to-digital conversion microcircuit. Each ADC configured in the mode of digitizing 32 channels with a sampling step of 25 ns and a bit depth of 12. The HPTDC microcircuit will operate in the mode of digitizing 32 channels with a resolution of 100 ps.

The signal from the avalanche photodiode passes through the input buffer and then goes to digitization with two ADC channels and one HPTDC channel. One ADC channel uses a high gain driver and the other uses a low gain driver. In front of the HPTDC microcircuit there is a discriminator, to which the signal from the input buffer is fed through the differentiating chain. In addition, from the input buffer, the signal fed to one of the four inputs of the summing amplifier, which generates a signal for the trigger card (TRU).

For the module controller, it is supposed to use FPGA XC7K160T from Xilinx. The module controller performs the following functions:

- Collection of data from measuring microcircuits;
- The data transfer;
- The bias voltage control for avalanche photodiodes;
- The monitoring the temperature of the module;
- The control and monitoring of voltages and currents of power supplies of avalanche photodiodes and measuring microcircuits;
- The setting thresholds for discriminators.

Data transmission and control of the module can be carried out either via DTC channel or via 10G Ethernet. The DTC channel is also used to send trigger and 40 MHz system clock to the module.

Either JTAG connector or 10G Ethernet channel used to update FPGA firmware. To update firmware over 10G Ethernet, the FPGA must already have firmware that supports this function.

The card temperature measured in several places using DS18B20U microcircuits. An INA226 microcircuit used to measure voltage and currents.

The card has 4 LEMO connectors for receiving or transmitting LVTTTL signals over a coaxial cable. These connectors are for testing the module.

### **Background - 8 channel map prototype**

The purpose of developing an electronic PHOS map for 8 input channels was to check:

- Circuit solutions using new electronic components
- Location of functional blocks on the board
- A method for tracing GND polygons to obtain minimal interference.

The map contained all the blocks that needed to design a 32-bit map for PHOS:

- Shapers with LG and HG gains for measuring signal energy
- Discriminators for obtaining a time stamp. For each discriminator it was possible to set an individual threshold
- Time of flight measured by HPTDC
- Block for adjusting the bias voltage for each photodetector
- Card controller made on FPGA.

A prototype map was beam tested at CERN in 2018 and showed good results. In the same year, the TQDC16 block for 16 input channels, developed in Dubna, was tested. The input part of the block changed to work with PHOS photodetectors. The prototypes shown in Fig. 2.



Figure: 2. Left: a prototype PHOS card for 8 channels. Right: TQDC16.

Based on beam tests, it decided to use both designs for the development of a 32-channel PHOS card with the participation of specialists from these institutes.

### **Descriptions of circuit solutions**

#### *Energy measurement channel*

The particle energy is proportional to the signal amplitude at the output of the charge-sensitive preamplifier (CSP). Signal parameters:

- Amplitude - 35 mV for a 1 GeV particle
- Signal shape - rise time 30 - 40 ns (depends on the place where the particle hits the crystal), decay time constant 100  $\mu$ s.

The dynamic range of measured energies can be estimated taking into account that 80% of the registered particle's energy remains in the crystal. Then, at a maximum energy of 200 GeV, 160 GeV remains in the crystal, and the dynamic range will be  $160 \text{ GeV} / 4 \text{ MeV} = 40,000$ , which will require a 16-bit ADC. It taken into account that the registration of particles up to 10 GeV is most probable, also. To reduce the ADC digit capacity, the measurement range divided into two subranges, which differ in amplification - high gain (HA) and low gain (NU). It is proposed to use a 12-bit

ADC, then the energy range measured in the VU channel is 5 MeV - 20 GeV, and in the OU channel - 40 MeV - 160 GeV.

Thus, there are 64 energy measurement channels on the card - 32 low gain and 32 high gain.

Each channel contains a filter, buffer amplifier, and ADC. The RFP output signal passes through a filter that increases the signal-to-noise ratio and forms (determines) the pulse shape. The filter circuit shown in Fig. 3, and the shape of the output signal in Fig. 4.

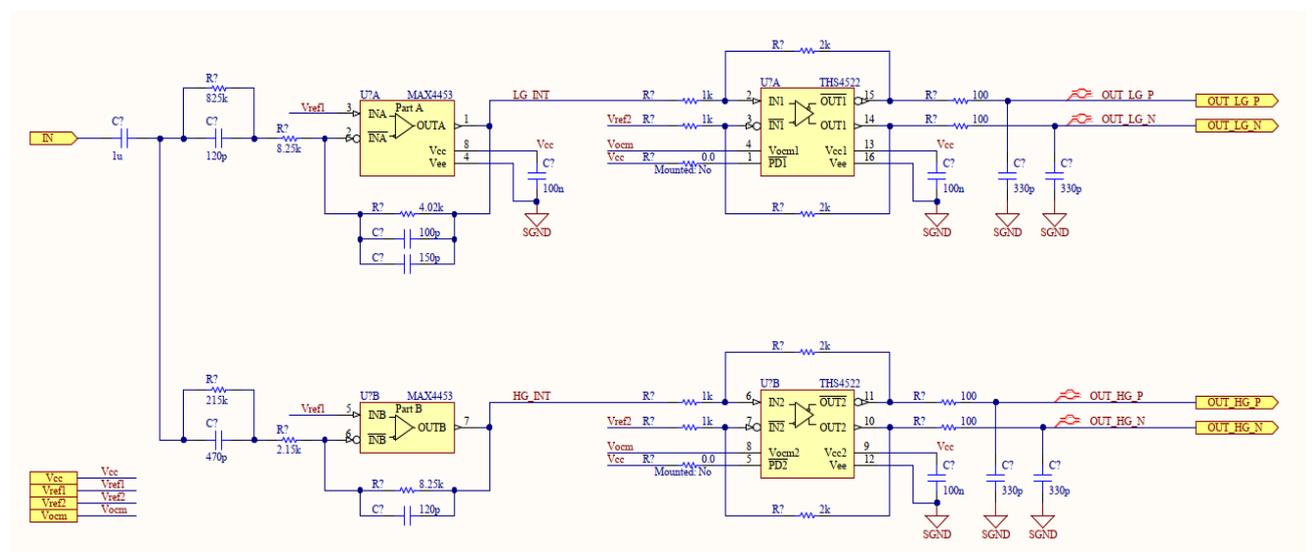


Figure: 3. First order filter with a time constant of 1  $\mu$ s.

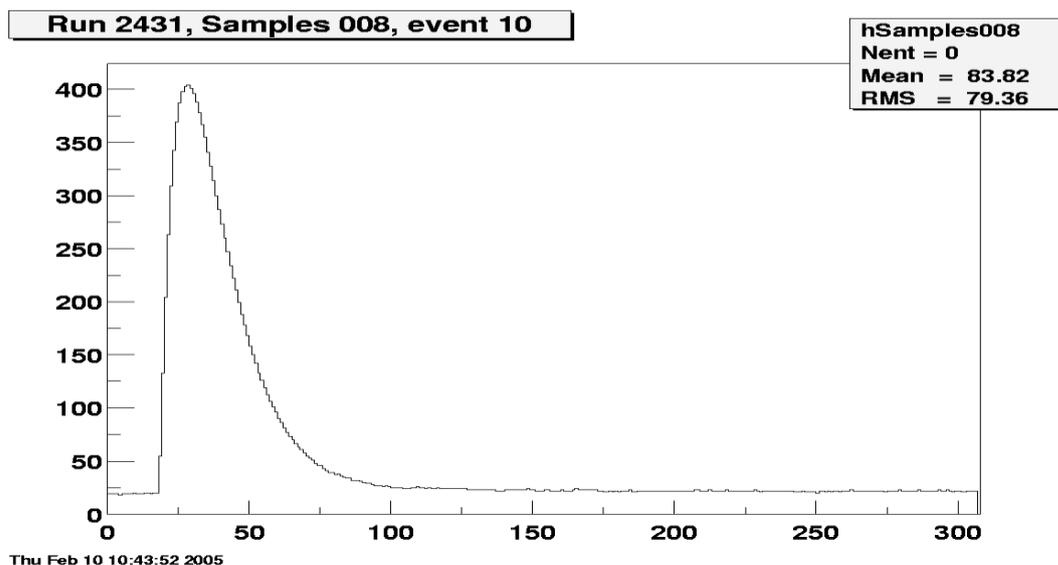


Figure: 4. Pulse shape at the filter output.

Filters of the 1-st order with a formation time constant of  $1 \mu\text{s}$  in HG / LG channels are made on m / s MAX4454 (4 op amps in one case). Two THS4522 differential amplifiers match the filter outputs to the differential ADC inputs at constant levels of 0.5 and 1.5 volts and suppress common mode noise.

A parallel (fast) converter used as an ADC, which performs continuous sampling of input signals with a frequency of 40 MHz, which is synchronized with the LHC beam crossing frequency. The ADS52J90 ADC with programmable functions is used. The operating mode is 32 input channels with a sampling rate of 40 MSPS. Data on the ADC outputs received in serial form.

The pedestals should have a value of  $50 \pm 10$  ADC counts.

Noise sigma of pedestals without connected PCBs should be no more than 0.5 ADC count.

## Time of flight measurement channel

It is necessary to measure the time of flight for various particles in the range from 15 to 17 ns. The measurement error ( $\sigma$ ) for particles with energies of 1 - 2 GeV should not exceed 0.5 ns. Timeline channel price - 0.1 ns.

The time of flight is measured by the START-STOP method using the m / s HPTDC (High Performance Time to Digital Converter), which was developed at CERN. The START signal comes from the corresponding output of the comparator X2 (Fig. 5). STOP signal arrives

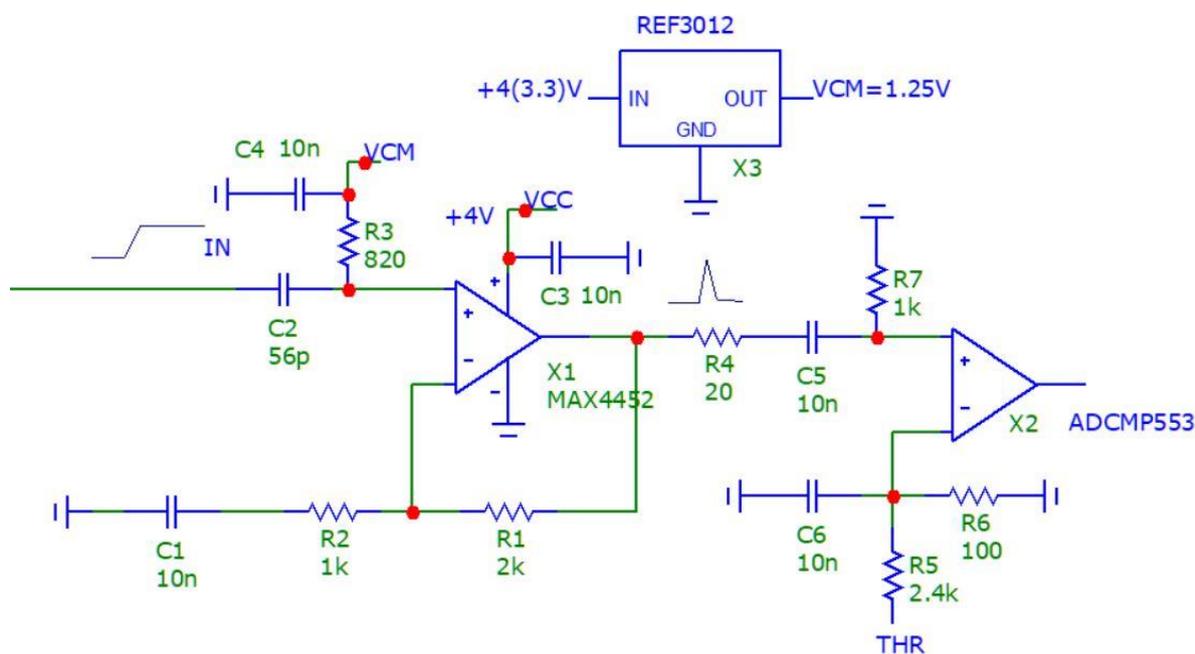


Figure: 5. Scheme of signal formation Start.

from pulses of synchronization of beams of the LHC (BC - pulses of synchronization of beams). The microcircuit can operate with 32 input channels with a measurement error of 100 ps.

At present, CERN has developed a new version of the HPTDC called picoTDC with improved measurement characteristics. It has a mode of operation with 64 input channels with a measurement error of 12 ps. The start of production of picoTDC

planned for 2021. The final version of the measurement card will use this particular microcircuit.

#### APD Bias Voltage Regulator

Technical characteristics of an avalanche photodiode (APD) individual bias voltage driver:

1. Adjustment of bias voltage in the range of 200 - 400V
2. The minimum adjustment step is 0.2 V.
3. Noise and ripple at the driver output - no more than 25 mV
4. Temperature instability of the output voltage - no more than 0.1% / ° C
5. Execute control commands from the card controller (CC)
6. Insulation resistance between high-voltage and low-voltage circuits - not less than 20 MΩ.

The block diagram described in clause 3 of Appendix 1.

#### *Threshold adjustment unit*

The block generates 32 threshold voltages, the value of which set by the codes stored in the card controller (CC).

The threshold of the voltage adjustment range is 100.

The minimum step for changing the threshold voltage is 1 mV.

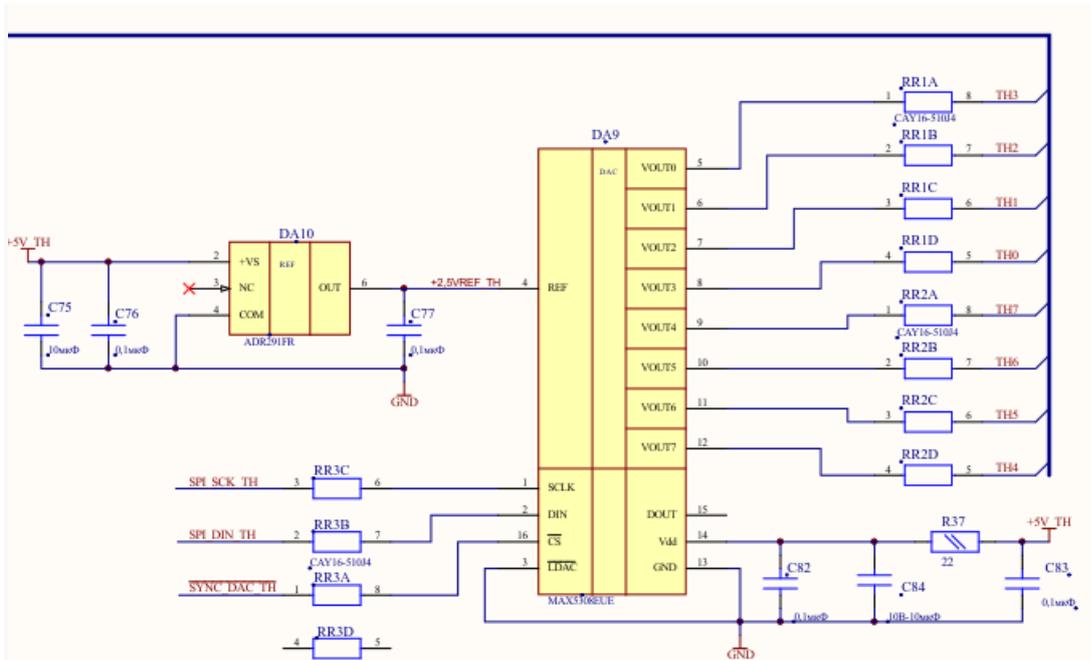


Figure: 6. 8-channel circuit of threshold formation.

The scheme for adjusting the thresholds for 8 channels is shown in Fig. 6. There are 4 such schemes in total on the map.

#### *Trigger signal generation*

The block should carry out analog summation of the output signals of four charge-sensitive preamplifiers (CSP). The signal shape at the output of the block is quasi-Gauss with a maximum time of 50 ns. The block output is differential with constant levels of 0.5 and 1 V. The maximum amplitude of the output signal is 1V. The scheme described in clause 4 of the Appendix.

#### *Data reading interface - communication with DAQ*

The description given in Appendix 1 in section 5 **Data reading and control system.**

#### *Control interface - DCS communication*

The description given in Appendix 1 in section 5 **Data reading and control system.**

### *Voltage, current, temperature measuring unit*

The unit designed to measure the output voltages of power supplies located on the card and their currents. The temperature of the card measured at 3 points. The voltages and currents of all power supplies on the card are measured. The power supplies of the card will turn off when the permissible currents and / or temperatures exceeded.

### *Low voltage supply voltages*

The block diagram of the power supply of the card from low-voltage and high-voltage power supplies shown in Appendix 2. The number of separate power supplies is 5 sources with a maximum voltage of 8 V and one source with a maximum voltage of 15 V. The maximum power consumption for one measuring channel is no more than 200 mW. Power supplies ZChP + 13V and -6V are located on the map.

### *Connectors*

2 input connectors - 3M N3372-6202R

Power connector - PHOENIX CONTACT 1776566 (MSTB 2.5 / 8-GF-5.08-1776566)

RJ45

JTAG

Summed signal output - FTSH-108-01-L-D-RA

### *Overall dimensions of the board*

210 x 353 mm<sup>2</sup>

### *Compatibility requirements*

The developed measuring electronics must be compatible with

- slow control systems (DCS) of the ALICE experiment,
- trigger system ALICE (see clause 9 of the Appendix),
- systems of low-voltage and high-voltage power supply of PHOS.

### *Reliability requirements*

The duration of failure-free operation of the PHOS electronics is 10 years under the conditions of experiments with an increased luminosity of the LHC.

### *Design requirements*

The mechanical design of the boards on which the developed PHOS electronics is located must repeat the mechanical design of similar boards of the existing PHOS electronics.

There should be no magnetic components or inductances on the card.

### *Radiation load requirements*

Due to the low radiation background at the location of the measuring electronics cards, there are no requirements for radiation resistance to the used electronic components.

### *Project timing*

By the end of 2020, 2 cards made for adjustment, control measurements in the laboratory. Based on the results obtained, changes made to the design documentation.

The Appendix contains a brief description of the PHOS device so that the developer can get an idea of the location and operating conditions of the measuring electronics. Preliminary several photos showing the location of the cards inside the module and connecting wires for supplying power supply, reading data and programming.

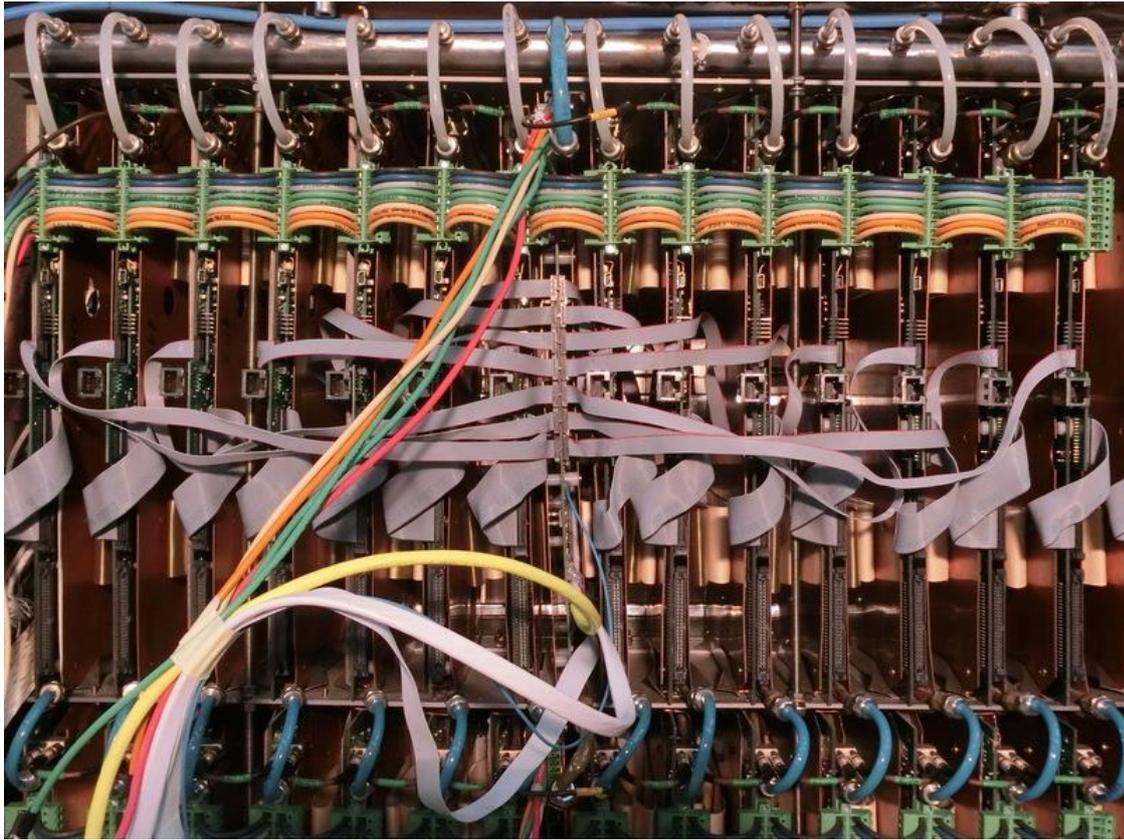


Figure: 7. Cards with connected wires and a water cooling system.

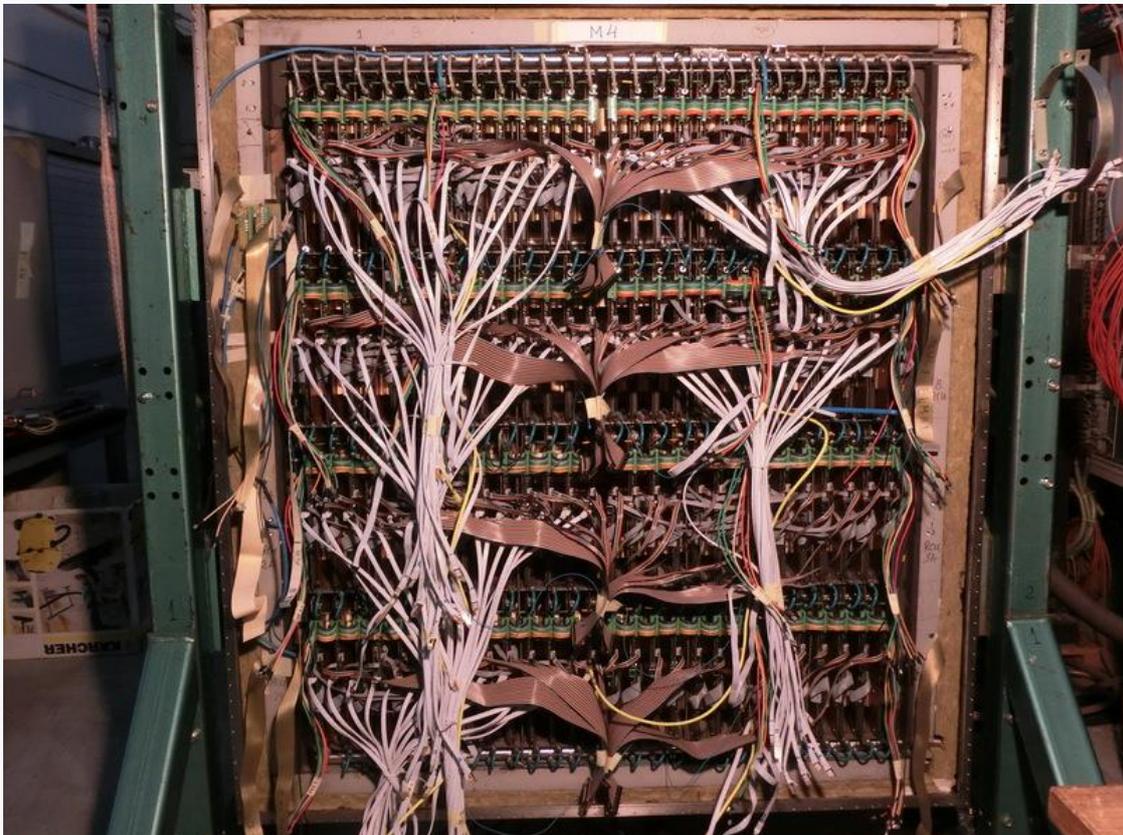


Figure: 8. View of the module without a cover from the side of the cards.



Figure: 9. Module with closed lid. All connections to the cards from the outside made through sealed flanges.

## Appendix 1

### Description of the photon spectrometer PHOS ALICE

#### *Introduction*

Photon spectrometer (PHOS) is a high-resolution electromagnetic calorimeter [1].

With the help of PHOS, the following studies carried out:

- Investigation of the initial, hottest, collision phase by measuring direct single photons and direct di-photons.
- Determination of the initial temperature of a bunch of hot and dense matter formed in a collision by measuring the spectrum of thermal photon radiation.
- Determination of the space-time dimensions of the bunch by measuring the Hanbury-Brown and Twiss correlations for direct photons and neutral pions.

- Study of the jet-quenching phenomenon by measuring single photons and neutral pions with high transverse momenta.

The PHOS detector device consists of four identical modules located inside the L3 magnet of the ALICE experiment. A scintillator based on lead tungstate crystals  $\text{PbWO}_4$  with a radiation length of 0.89 cm and a Moliere radius of 2.19 cm used as a detecting material (radiator). The crystal light output has a temperature dependence of  $1.9\% / ^\circ\text{C}$  at room temperature and grows with decreasing temperature. So, in order to increase the light yield, the crystals cooled to a temperature of  $-25^\circ\text{C}$ , which should have an instability of  $0.1^\circ\text{C}$ . Crystals with dimensions of  $22 \times 22 \times 180$  mm with the orientation by their ends  $22 \times 22$  mm to the recorded radiation flux are used in PHOS. A photodetector glued to the opposite end of the crystal using special optical glue. When a high-energy photon hits the crystal, it creates an electron-positron pair. This pair begins to decelerate, gives rise to the so-called bremsstrahlung photons, and the photons again generate pairs - an avalanche process begins - an electromagnetic shower. The shower converted into a flash of light in scintillation crystals. Opaque walls of cellular structures exclude light rescattering between crystals. However, there is a leakage of an electromagnetic shower into neighboring crystals. Therefore, only 80% of its energy recorded in the crystal into which the particle has fallen.

### **1. Mechanical design of PHOS**

An array of 3584 ( $64 \times 56$ ) detector channels, measuring electronics and a monitor system housed in a sealed case with dimensions of  $1734 \times 1590 \times 757$  mm<sup>3</sup>. The module casing has cold and warm zones, separated by heat-insulating structures. A single mechanical assembly of the detector channels is a honeycomb of  $2 \times 8$  cells. A single

detector channel and a mechanical assembly of 2 x 8 detector channels shown in Fig. 1 a) and b), respectively.

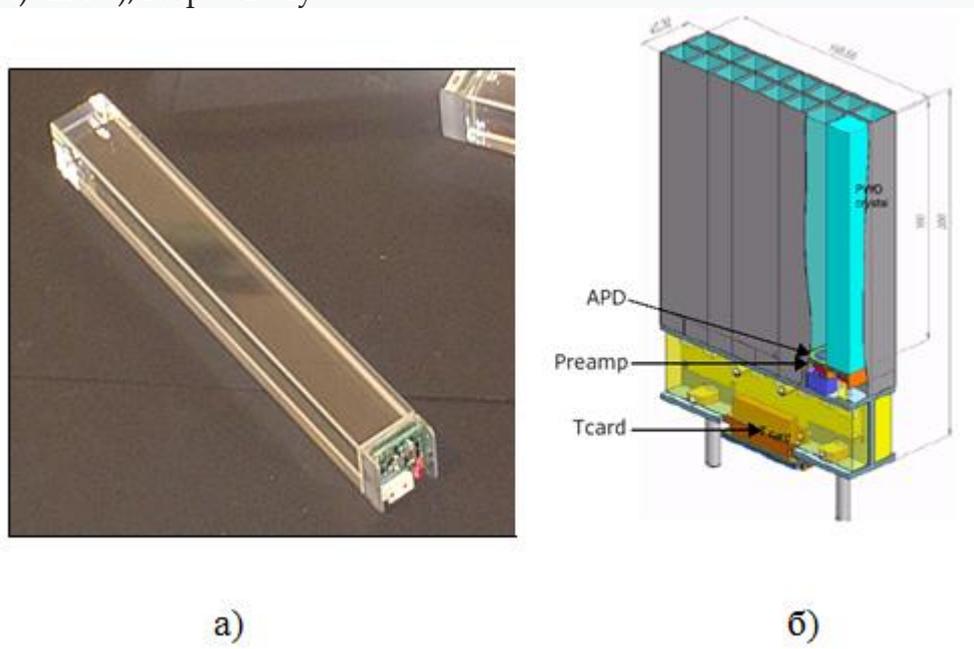


Figure: 1. Single detector channel a), assembly of 2 x 8 detector channels b).

The mechanical assembly consists of a honeycomb structure made of stainless steel sheet, in which crystals are located. A housing is welded to the honeycomb structure, in which printed circuit boards are located, connecting cards, through which charge-sensitive preamplifiers (CSP), located in a cold volume, are connected with readout electronics in a warm volume. Studs screwed into the housing, with the help of which the mechanical assembly attached to the refrigeration panel.

A HAMAMATSU S8148 avalanche photodiode (APD) with a photosensitive window size of 5 x 5 mm<sup>2</sup> and a parasitic capacitance of about 80 pF at a bias voltage of more than 200 V used as a photodetector. The APD gain is 50. The APD soldered into the PCB board and glued to the crystal using a special optical glue. In fig. 2 shows the layout of the crystals and readout electronics in the module. The top of the figure shows the mechanical assemblies that attached to the refrigeration panel. Next

is the layer of thermal insulation, and behind it are the cards of the reading electronics.

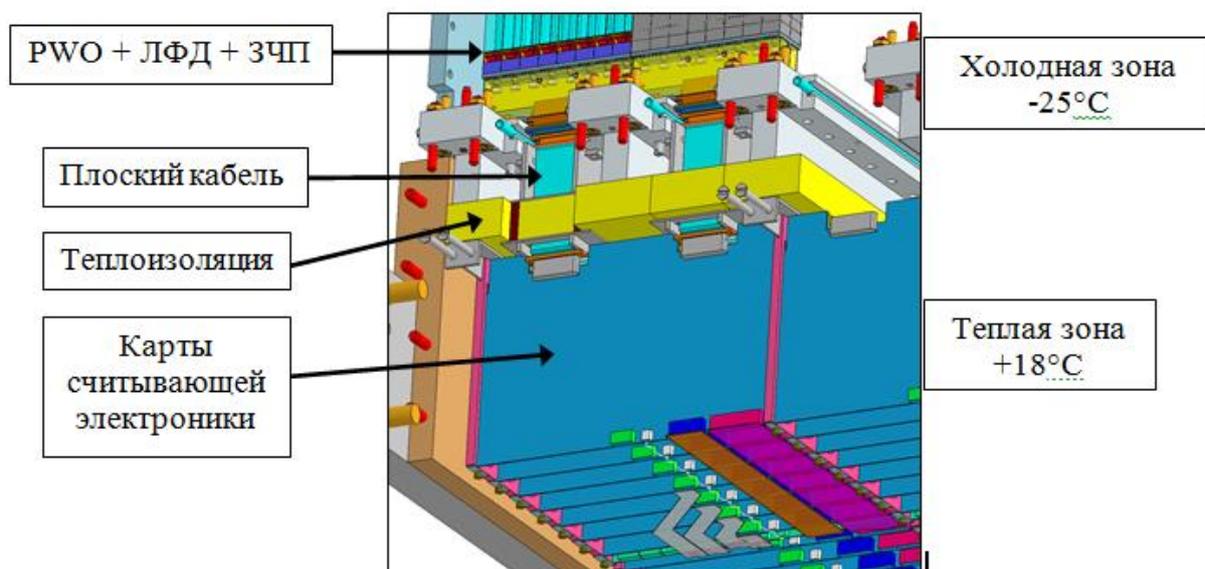


Figure: 2. Diagram of the arrangement of crystals and readout electronics in the module.

## 2. Card of measuring electronics of PHOS

The measuring electronics of the PHOS built using a specialized microcircuit ALTRO [2]. ALTRO contains 16 measurement channels, each of which consists of a parallel 10-bit TSA1001 ADC developed by ST Microelectronics. In addition, each channel contains circuits for digital signal processing, circuits for constructing output codes, which read by the ALICE data acquisition system and a control unit. Besides digital signal processing, ALTRO has a zero suppression function. When this function enabled, zero codes obtained after subtracting the baseline not transmitted to the data collection system, which reduces the amount of accumulated information. For correct reconstruction of the waveform, the numbers of zero codes in the signal sample written into a special data block with service information.

One PHOS module contains 112 measuring electronics cards. Each card connected to 32 detection channels. Because the dynamic range of measured energies is 80000

MeV / 5 MeV = 16000, and the ADC has only 1000 quantization levels, then two channels with a gain ratio equal to  $HG / LG = 16$  are used. The view of the map of the measuring electronics and the location of the main functional elements on it shown in Fig. 3.

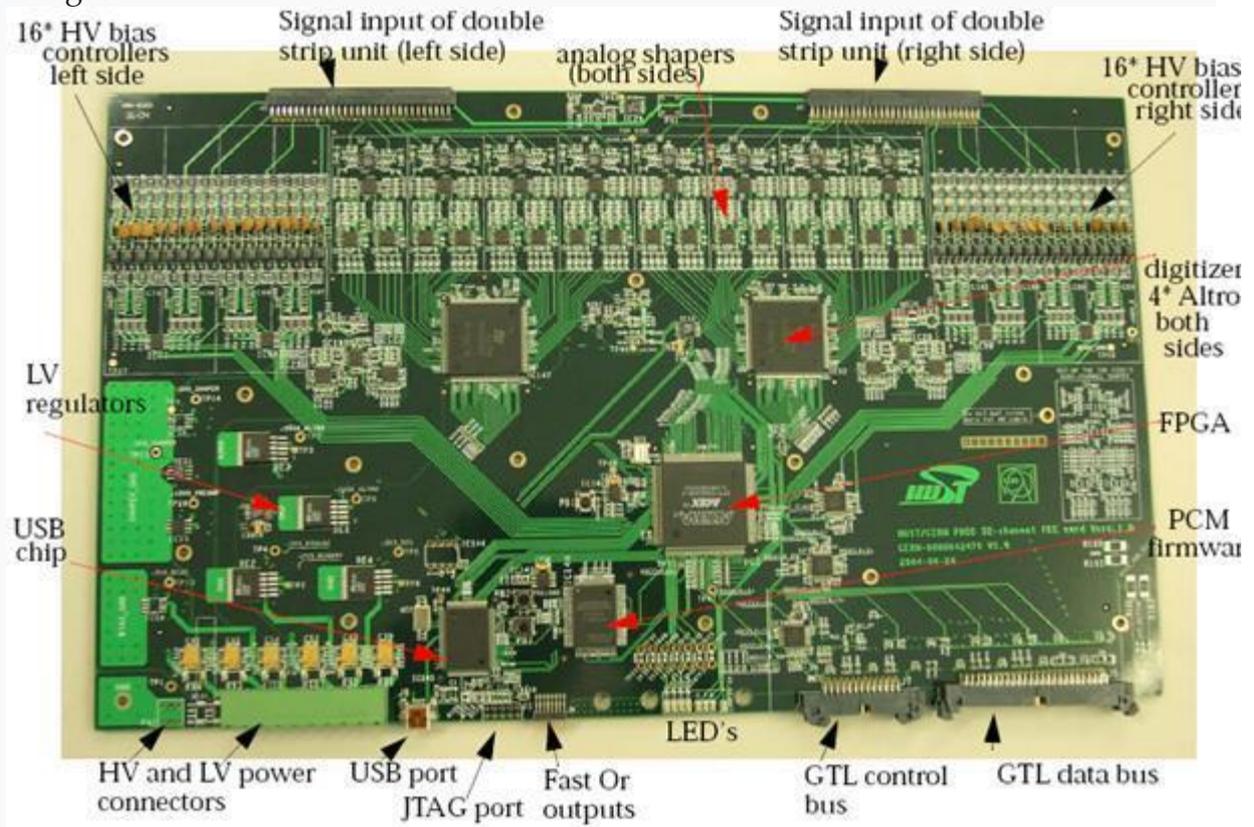


Figure: 3. Card of measuring electronics for 32 detecting channels.

It contains 64 filters with high and low gains, 32 bias voltage regulators for avalanche photodiodes, 4 multifunctional ALTRO microcircuits, 8 summing amplifiers that generate signals for a trigger, a control unit and stabilized power supplies. The board has a size of  $210 \times 353 \text{ mm}^2$  and contains 10 layers [3]. The multi-layer design of the board explained by the need to minimize interference from digital to analog circuits. For the same purpose, the separate power supplies for analog and digital circuits used. The power dissipation of all circuits on the board is 5.6 watts. Since the boards are located in a closed volume of the module case, water-

cooling used. The water flows through copper tubes soldered to copper shields that attached to either side of the board.

### 3. Formation of bias voltage APD

The codes that determine the bias voltage values and therefore the APD gains are stored in the slow control system (DCS) database. The DCS connected via Ethernet to a read-write control unit (SRU), which in turn connected to the CC via the P2P bus. KK contains 32 ten-bit registers in which codes from DCS written. The writing of codes to the DAC carried out using the SPI protocol, which carried out by a functional block located in the CC. The QC and DACs connected via the data bus as shift registers, using the Daisy Chain protocol, which significantly reduces the number of data bus wires.

In fig. 4 shows the connection diagram of the DAC with the controller board (PCM).

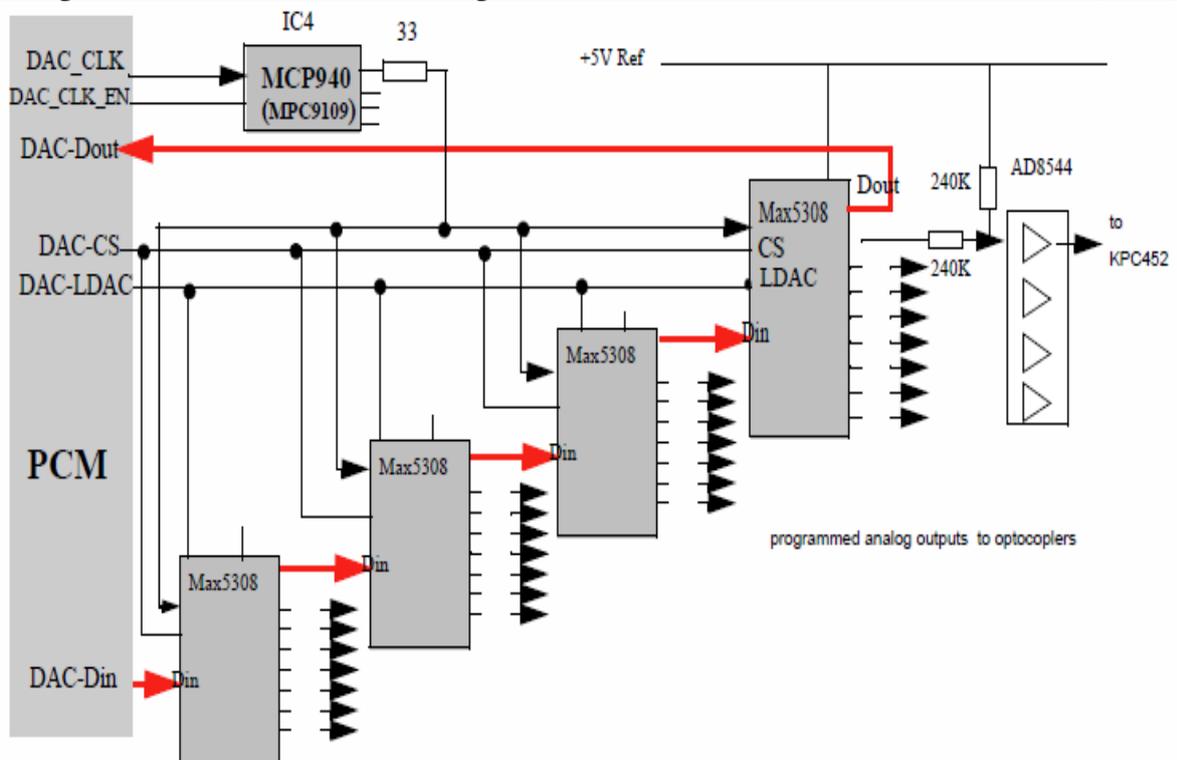


Figure: 4.

In fig. 5 shows a circuit for generating an APD bias voltage.

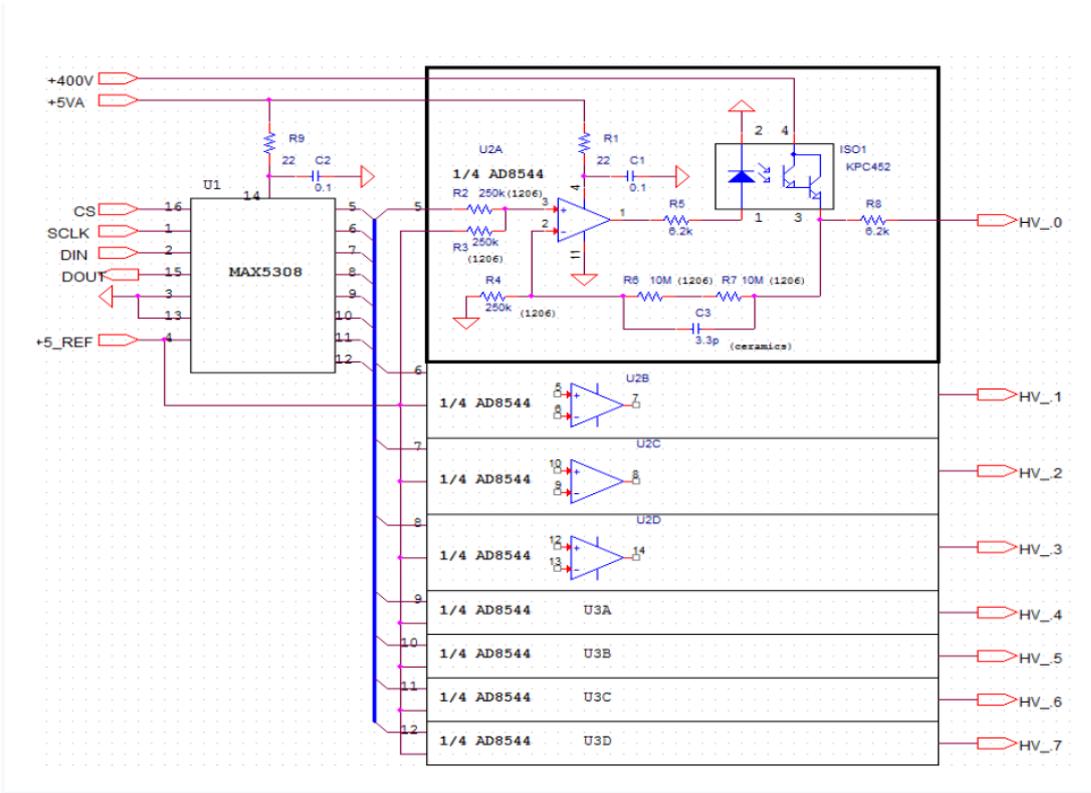


Figure: 5.

**4. Trigger signal formation circuit**

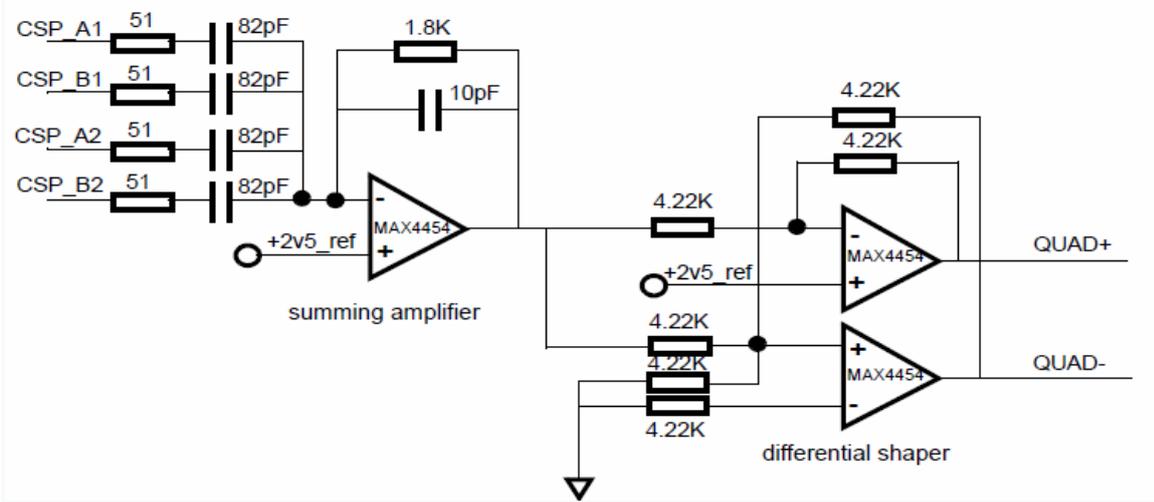


Figure: 6.

In fig. 6 shows a schematic diagram of the summation of 2x2 signals, which consists of the summation circuit itself and an output signal driver with a differential output.

**5. Data reading and control system**

The data reading system based on the parallel reading of all FEE cards via an independent DTC channel [3]. The receiver is an SRU (scalable readout unit). The SRU allows independently connect up to 40 FEE cards using RJ45 connectors. TTC trigger signals sent via an optical cable to the TTC link.

The architecture of the data reading system shown in Fig. 7. A mezzanine DTC card added to each FEE card (designated FEE1... FEE40) to enable communication with the SRU. SRU and FEE cards controlled via UDP network protocol by connecting SRU to ALICE DCS local area network. Communication in DAQ goes through one or two DDL channels, depending on the requirements for data reception speed. For the FOS spectrometer, the following detector segmentation is used: 8 branches, each reading 14 FEE and 1 TRU (trigger card). Thus, one PHOS module is read by 4 SRUs, and one SRU will have 30 DTC input channels: 28 FEE and 2 TRUs.

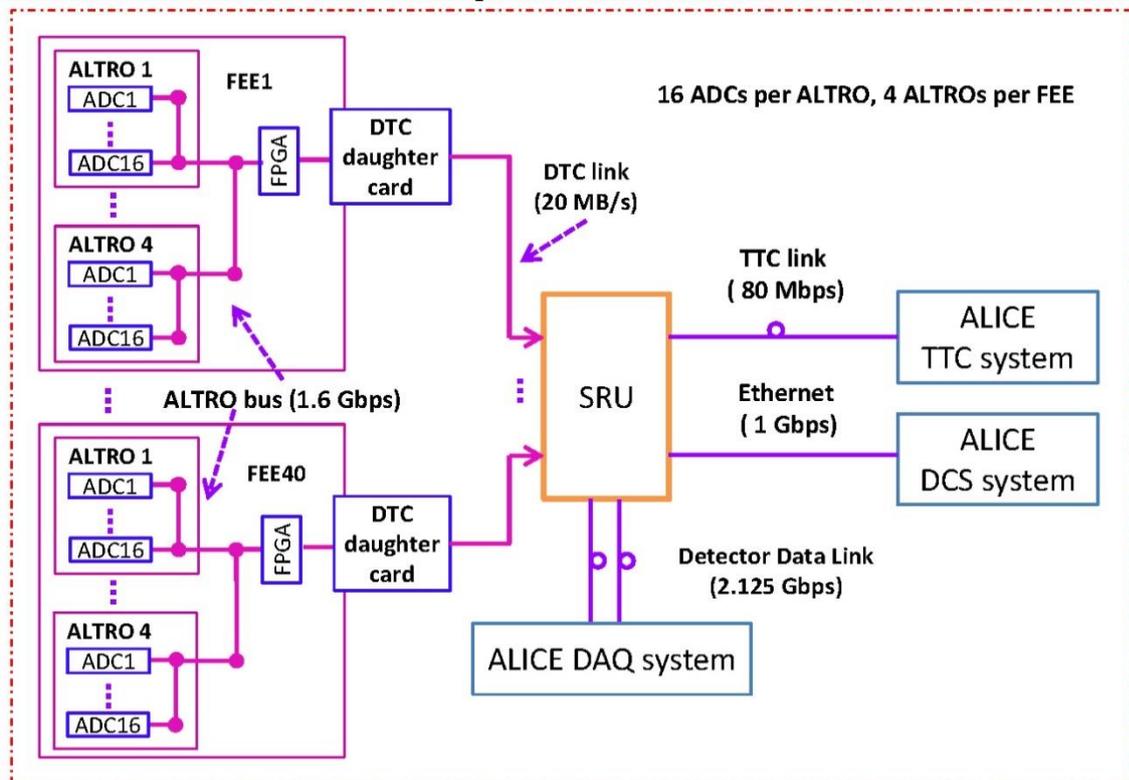


Figure: 7. Functional diagram of the data reading and synchronization system.

## 6. Signal transfer protocol via DTC link.

In fig. 8 shown the connection diagram of the measurement card and the SRU, and the signals transmitted over the communication lines. The pin assignments on the RJ45 connector shown.

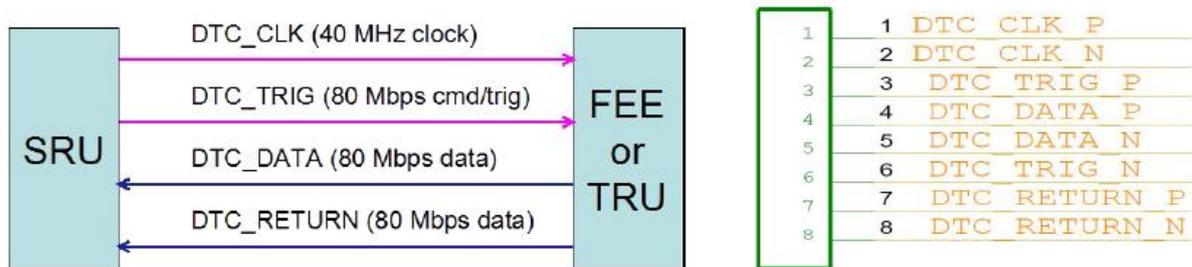


Figure: 8.

The SRU transmits the following commands and signals to the Meter Card via DTC\_TRIG communications:

1. Triggers
2. Quick commands
3. Slow commands
4. 40 MHz bunch crossing pulses (DTC\_CLK).

Trigger L0 transmitted by one 12.5 ns pulse with a DTC\_CLK synchronization pulse on the positive edge (Fig. 9).

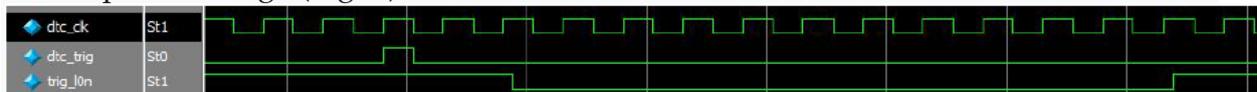


Figure: 9.

Trigger L1 transmitted by two pulses with DTC\_CLK synchronization pulses on the positive edge (Fig. 10).

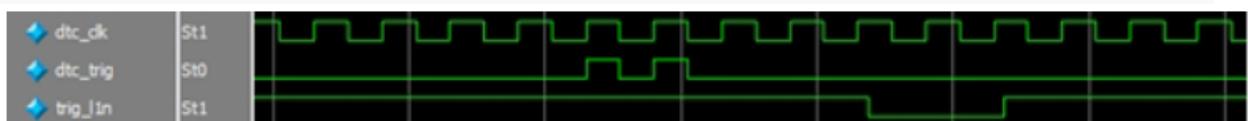


Figure: 10.

Fast commands are transmitted in 8-bit word, most significant bit first, with DTC\_CLK synchronization on the falling edge. An example of transmitting the word 8'hE2 shown in Fig. 11.

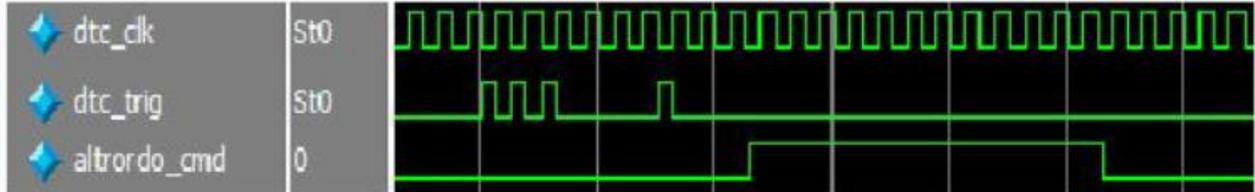


Figure: 11.

Description of quick commands given in Table 1.

Table 1.

Fast command	Coding	Description
RDOCMD	0xE2	Readout command, ask FEE/TRU readout ALTRO and transmit event data to SRU
SCLKSYNC	0xE4	Ask FEE to reset sampling clock divider
RJECTCMD	0xEA	Reject the event command (related to L2r trigger), ask FEE/TRU to discard the associated event data stored in the ALTRO buffer.
RSTCMD	0xE8	Reset TRU/FEE, asserts "reset" pin of ALTRO on FEE.
STREQ	0xE9	Ask FEE/TRU to send its status (The Status Frame) to SRU
ARDOEND	0xEF	Tell TRU that ALTRO readout in FEE is finished (ALTRO readout starts after FEE receives RDOCMD).

Slow instructions write and read registers. Slow command structure:

0xE1 (header 8 bits) + Reg\_Adr (32 bits) + Reg\_Dan (32 bits).

The most significant bit is transmitted first, synchronization on the negative edge of DTC\_CLK.

- Address bit [31]: write / read operation flag. "0" - write, "1" - read
- Address bit [30]: "0" - FPGA register; "1" - ALTRO register
- Assignment of other bits of the Address register at the discretion of the developers.

In fig. 12 shows the oscillogram of the command for writing the number 0x12436587 to register 0x60:

{8'hE1, 32'h0000\_0060, 32'h1243\_6587}.

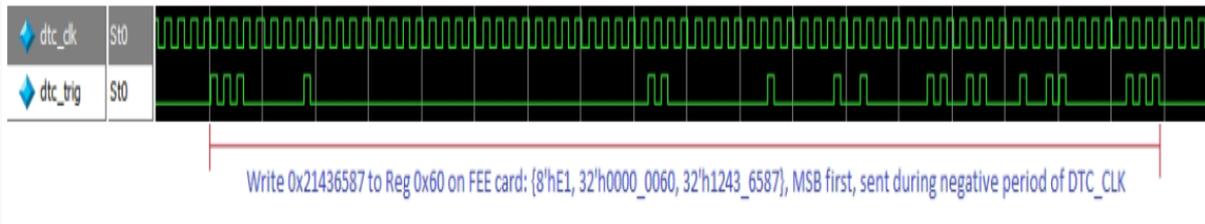


Figure: 12.

## 7. Format of Response and Event data.

Data from the card to the SRU transmitted over the DTC\_DATA and DTC\_RETURN lines, with a transfer rate on each line of 80Mbps (Fig. 8).

Bit order of 16-bit word, LSB first, 40 MHz DDR mode								
DTC_DATA	Bit0	Bit2	Bit4	Bit6	Bit8	bit10	bit12	bit14
DTC_RETURN	bit1	Bit3	Bit5	Bit7	Bit9	bit11	bit13	bit15

Frame structure:

Status: One header (0xDCDC) followed by a 16 bit status word:

- Status bit [15] - summary error flag: 0 = card is operating normally; 1 = failure
- Definition of other status bits at the discretion of the developer

Answer: one header (0xF7F7) followed by the address and data (16 bits high of the address, 16 bits low of the address, 16 bits high of the data, 16 bits of the low data).

Event: one header (0x5C5C) followed by the Event data and an end of Event flag (0xC5D5 C5D5 C5D5 C5D5).

- the length of the event data can be variable, depending on the size of the event
- the event frame must not contain an event length word.

Example: SRU sent command to read register 0x20 on card, card sent Reply and

Status to SRU.



Answer: 0xF7F7 (header), 0x8000\_0020 (Read command and register address), 0x0000\_5040 (register contents 0x20).

Status: 0xDCDC (header), 0x0000 (status).

Example: sending an event and status



Frame construction rule:

1. between two frames there must be at least two 0xBC50 sync words
2. after each Response and Event, there should be a Status
3. example of building a frame:

0xBC50,0xBC50, Response, 0xWC50,0xWC50, Status, 0xWC50,0xWC50 ... Event, 0xWC50,0HWC50, Status, 0xWC50,0xWC50...

## 8. Data format

The data format is 32 bits. If there is not enough data for 32 bits, then 0x00 added.

DW0... DW9 - 10 bits of the word read from ALTRO. The data structure with

explanations shown in Fig. 13.

31	30	29	20	19	10	9	0
01	E	Altro channel header 1					
00	DW9		DW8		DW7		
00	DW6		DW5		DW4		
00	DW3		DW2		DW1		
00	DW0		0x00		0x00		
01	E	Altro channel header 2					
00	DW4		DW3		DW2		
00	DW1		DW2		0x00		
01	E	Altro channel header 3					
00	DW3		DW2		DW1		

ALTRO Channel Header Format	
Bit location	Meaning
[11:0]	"Hard Add" from 40-bit ALTRO data
[15:12]	Reserved = "0000"
[25:16]	"#10-bit w" from 40-bit ALTRO data
[28:26]	Reserved = "000"
[29]	E: Channel Error Bit, set to '1' when a mismatch for channel address or word count is detected. FEE will correct the corresponding info field.
[31:30]	Mark: "00" : Payload; "01" Header.

Figure: 13. Data structure.

## 9. Trigger system ALICE: organization of measurements for the period Run\_3

- The central trigger processor (CTP) ALICE in Run3 will send a sequence of flip-flops L0 and L1 to PHOS.

- L0 trigger is generated by ALICE trigger detectors (FIT, EMCAL, PHOS, MUON) and arrives at the CTP with a delay of 1.2  $\mu\text{s}$  after the collision of beams. CTP distributes this L0 trigger to the modules for reading data from detectors with not updated architecture (ACORDE, CPV, EMCAL, HMPID and PHOS). The minimum delay for the arrival of the L0 trigger to the detectors is 1.4  $\mu\text{s}$ .

- Trigger L0 accompanied by a message carrying the identification of the event - orbit number, bunch crossing number, and trigger type.

- L1 generated by trigger detectors EMCAL, PHOS, TRD and arrives at CTP with a 6.1  $\mu\text{s}$  delay. CTP distributes the L1 trigger to the modules reading the detector data with not updated architecture. If the trigger detectors do not generate an L1 trigger, then the CTP sends its L1 trigger, generated by the internal CTP generator.

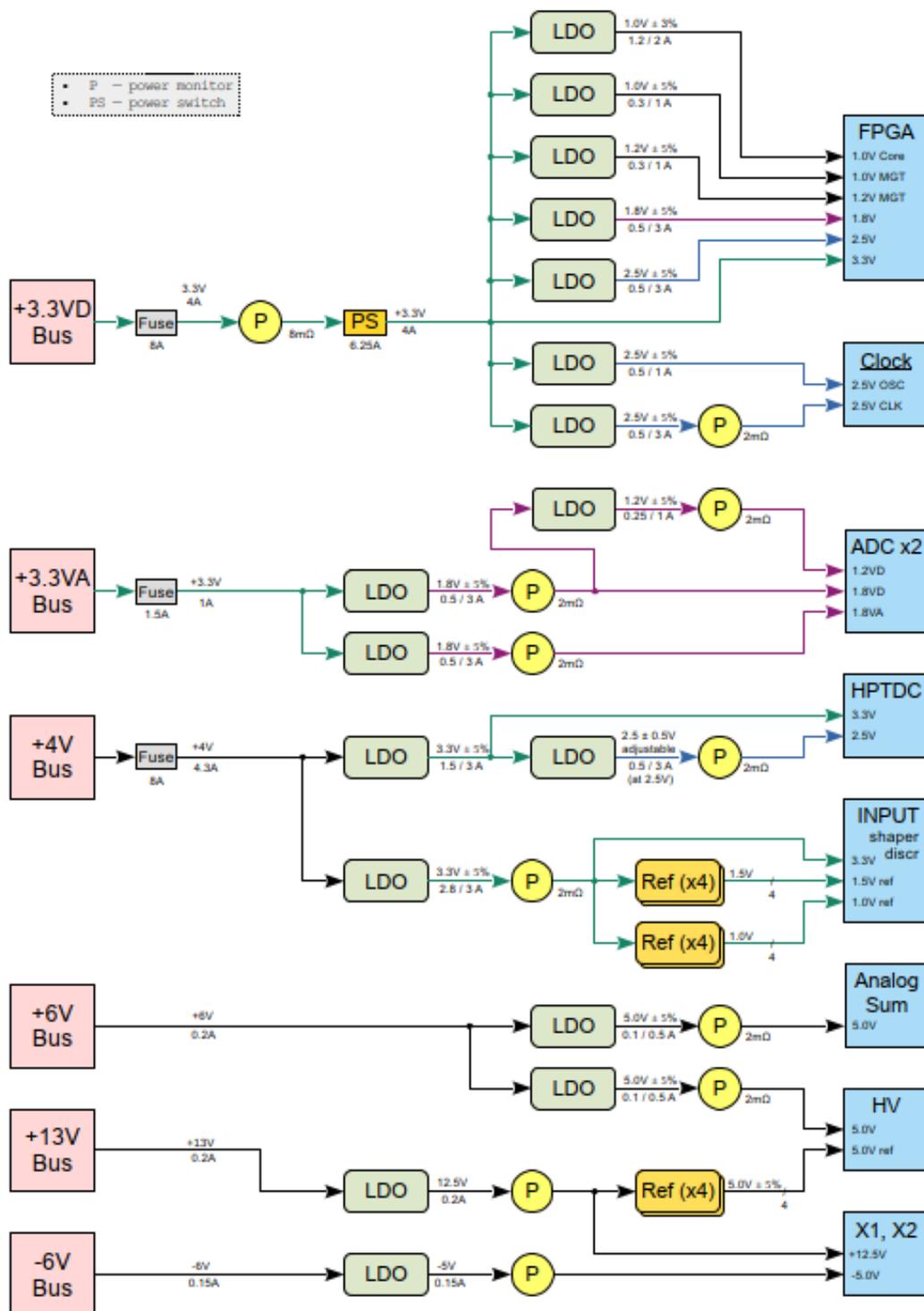
The PHOS data readers receive trigger signals from the CTP and send them to the FEE of the card. Upon arrival of L0, the PHOS data reader sets the "busy" flag, which is transmitted to the LTU trigger module to block the sending of the next triggers until the event is processed and sent to the DAQ. According to the L0 FEE trigger, the cards store the data in the ALTRO memory buffer, and when the L1 trigger arrives, they transfer them to the data reading modules. The absence of the L1 trigger from the CTP means the cancellation of reading the event caused by the L0 trigger.

- The data readers form the data collected from the FEE cards into an event that begins with a common event header containing the event identification as reported in the CTP message. The generated event is sent to the DAQ by the L1 trigger.

CTP also generates a periodic HB (heartbeat) trigger with an interval of 89.4  $\mu\text{s}$ , which is necessary to synchronize events read by continuous reading detectors and detectors with not updated architecture. PHOS data readers, having received an HB trigger, must generate a special event and send it to the DAQ. If an HB trigger

arrives while processing a previous event while the "busy" flag is set, then the data readers should schedule a response to receive an HB trigger immediately after processing the previous event.

## Appendix 2 Card power circuit



## REFERENCIAS:

1. ALICE Technical Design Report of the Photon Spectrometer (PHOS). CERN /LHCC 99–4, ALICE TDR 2, 5 March 1999: [EDMS link](#)
2. Front-end electronics for PWO-based PHOS calorimeter of ALICE. Nuclear Instruments and Methods in Physics Research A 567 (2006) 264–267.
3. Point-to-point readout for the ALICE EMCal detector. Nuclear Instruments and Methods in Physics Research A 735 (2014) 157–162.

**ИССЛЕДОВАНИЕ ВОЗМОЖНОСТИ  
МОДЕРНИЗАЦИИ СИСТЕМЫ  
СЧИТЫВАНИЯ ДЛЯ  
ЭЛЕКТРОМАГНИТНОГО КАЛОРИМЕТРА  
PHOS ALICE**

**(Участие ОИЯИ)**

*Отчет о выполнении проекта в 2019-2020 г.*

**Обоснование проекта**

Карты измерительной электроники PHOS необходимо модернизировать по следующим причинам:

- увеличение динамического диапазона энергий до 200 ГэВ,
- увеличение скорости счета в измерительных каналах,
- необходимость измерять более точно время пролета,
- старение элементной базы и т. д.

Увеличение скорости счета и расширение динамического диапазона позволит полностью воспользоваться высокогранулированностью PHOS и выполнить ряд измерений, таких как измерение спектров идентифицированных нейтральных пионов, эта-, и омега-мезонов и прямых фотонов с поперечными импульсами, большими 50-100 ГэВ, а также изучить корреляции этих частиц. Поэтому, предлагается в 2019 – 2020 гг. выполнить проектирование прототипа карты считывающей электроники PHOS.

За 2014 – 2016 гг. исследованы различные фотодетекторы и получены обнадеживающие результаты. Например, по результатам последнего испытания на пучках PS и SPS в ЦЕРН показано, что с APD с размером окна 10x10 мм<sup>2</sup> при температуре +17.5 °С получено энергетическое разрешение не хуже, чем с APD 5x5 мм<sup>2</sup> при температуре -25 °С. Использование исследованных фотодетекторов позволит отказаться от охлаждения PHOS, оставив термостабилизацию при плюсовой температуре. Это существенно упростит обслуживание детектора – для ремонта не надо будет каждый раз все разбирать и вынимать модули на поверхность. При этом изменения конструкции модуля будут минимальными. Исходя из этого, разработка новой карты измерительной электроники PHOS является логическим продолжением начатых работ.

Таким образом, целью модернизации является улучшение измерительных характеристик PHOS в условиях повышения светимости БАК и увеличения максимальной энергии регистрируемых фотонов:

- Улучшение измерительных характеристик детекторного устройства ФОС достигается за счет расширения динамического диапазона измеряемых энергий и повышения точности при измерении времени пролета;
- Повышение быстродействия измерительной электроники достигается за счет сокращения времени измерения и считывания данных;
- Использование новой элементной базы. Существующая измерительная электроника PHOS разработана в 2004 г. с применением специализированной микросхемы ALTRO, которая больше не производится, как и большинство компонент, использованных при изготовлении этих карт.

Результатом проекта является разработка конструкторской документации прототипа 32 канальной измерительной карты PHOS и производство 2-х карт для проведения тестирования.

### **Основные характеристики разработанной карты PHOS**

Новая карта должна заменить старую без переделки соединительных проводов, шлейфов и интерфейса DAQ и DCS. Необходимо использовать существующие источники питания. Краткое описание PHOS приведено в Приложении. Блок схема карты показана на рис. 1.

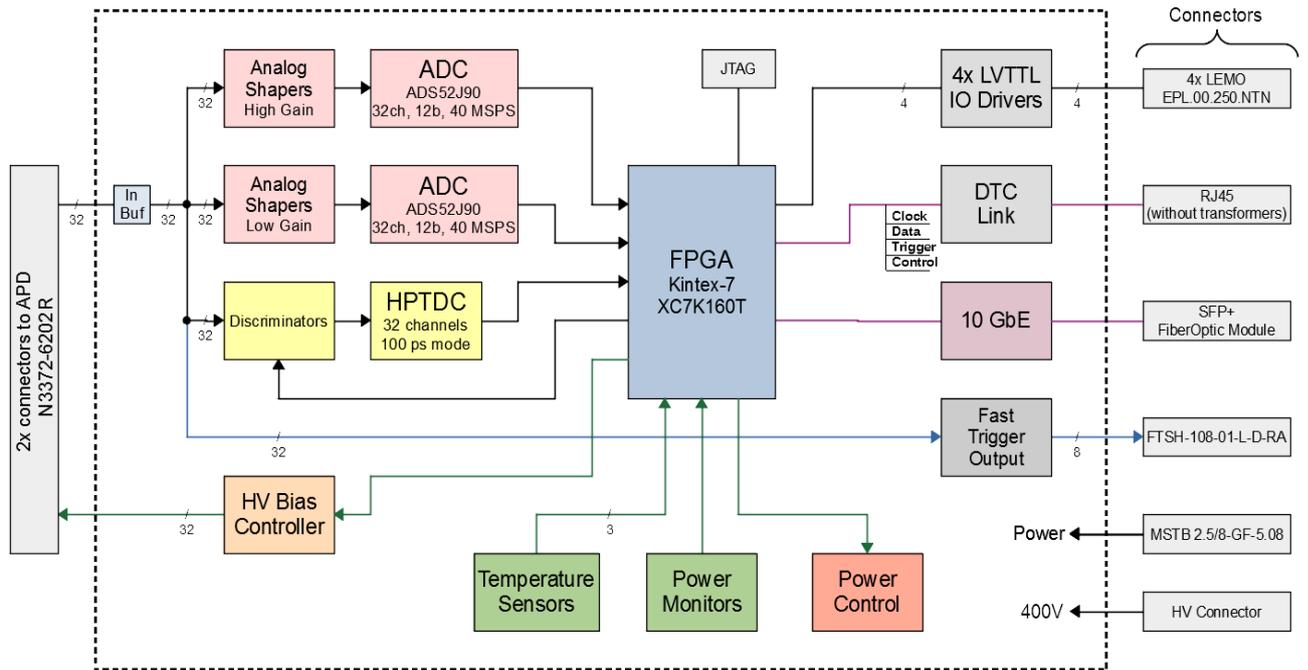


Рис. 1. Блок схема разработанной карты PHOS.

Технические характеристики:

- 32 входных канала;
- измерение энергии в диапазоне 5 MeV – 200 ГэВ;
- разрядность АЦП 12 бит, частота дискретизации сигнала 40 MSPS;
- измерение времени пролета Старт-Стоп методом с погрешностью не хуже 100 пс;
- индивидуальная регулировка напряжения смещения лавинных фотодиодов;
- индивидуальная регулировка порогов в каналах временной привязки;
- формирование триггерного сигнала для системы PHOS триггер;
- контроль электрических и температурных параметров карты по стандарту ALICE-DCS
- чтение данных по стандарту ALICE-DAQ.

Основу измерительной электроники модуля составляют две микросхемы АЦП ADS52J90 и микросхема время-цифрового преобразования HPTDC (*High Performance Time to Digital Converter*). Каждый АЦП настраивается в режим оцифровки 32 каналов с шагом дискретизации 25 нс и разрядностью в 12 бит. Микросхема HPTDC будет работать в режиме оцифровки 32-х каналов с разрешением 100 пс.

Сигнал с лавинного фотодиода проходит через входной буфер и после этого поступает на оцифровку двумя каналами АЦП и одним каналом HPTDC. Для одного канала АЦП используется формирователь с высоким усилением, а для другого — с низким. Перед микросхемой HPTDC стоит дискриминатор, на который подаётся сигнал с входного буфера через дифференцирующую цепочку. Также с входного буфера сигнал подаётся на один из четырёх входов суммирующего усилителя, который формирует сигнал для триггерной карты (TRU).

Для контроллера модуля предполагается использовать FPGA XC7K160T фирмы Xilinx. Контроллер модуля выполняет следующие функции:

- сбор данных с измерительных микросхем;
- передача данных;
- управление напряжением смещения для лавинных фотодиодов;
- слежение за температурой модуля;
- управление и слежение за напряжениями и токами источников питания лавинных фотодиодов и измерительных микросхем;
- установка порогов для дискриминаторов.

Передача данных и управление модулем может осуществляться либо по каналу DTC, либо по 10G Ethernet. Канал DTC также используется для передачи триггера и системной тактовой частоты 40 МГц на модуль.

Для обновления прошивки FPGA используется либо разъём JTAG или канал 10G Ethernet. Для обновления прошивки по 10G Ethernet в FPGA уже должна быть записана прошивка, поддерживающая данную функцию.

Измерение температуры карты производится в нескольких местах с помощью микросхем DS18B20U. Для измерения напряжения и токов используется микросхема INA226.

На карте установлены 4 LEMO разъёма для приёма или передачи сигналов LVTTTL по коаксиальному кабелю. Данные разъёмы предназначены для тестирования модуля.

## **Предыстория - прототип карты на 8 каналов**

Целью разработки электронной карты ФОС на 8 входных каналов была проверка:

- схемных решений с использованием новых электронных компонентов
- расположения функциональных блоков на плате
- метода трассировки GND полигонов для получения минимальных наводок.

Карта содержала все блоки, которые необходимы для проектирования карты на 32 для ФОС:

- шайперы с коэффициентами усиления LG and HG для измерения энергии сигнала
- дискриминаторы для получения временной отметки. Для каждого дискриминатора была возможность установки индивидуального порога
- время пролета измерялось НРТДС
- блок для регулировки напряжения смещения для каждого фотодетектора
- контроллер карты, выполненный на FPGA.

Прототип карты был испытан на пучке в ЦЕРН в 2018 г. и показал хорошие результаты. В этом же году был испытан блок TQDC16 на 16 входных каналов, разработанный в Дубне. Для работы с фотодетекторами PHOS входная часть блока была изменена. Внешний вид прототипов показан на рис. 2.

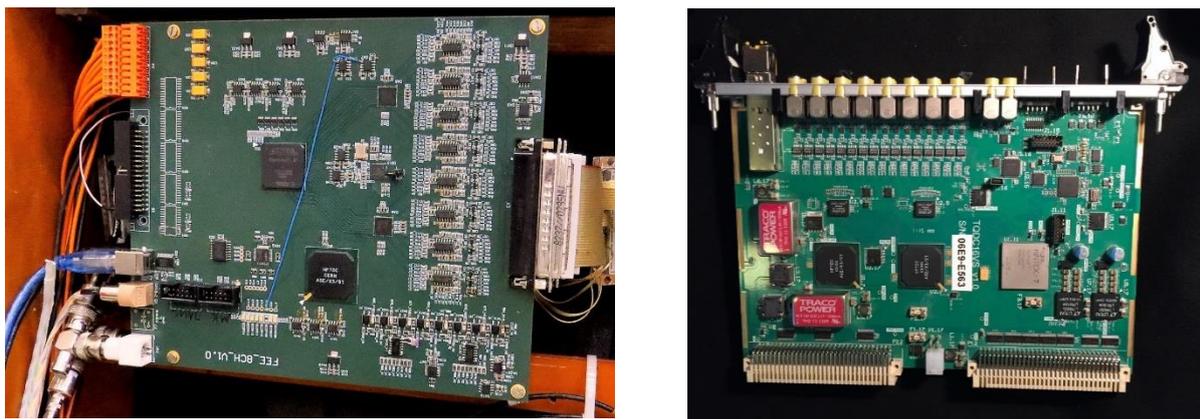


Рис. 2. Слева: прототип карты PHOS на 8 каналов. Справа: TQDC16.

Основываясь на пучковых испытаниях было принято решение использовать обе конструкции для разработки PHOS карты на 32 канала с участием специалистов из этих институтов.

## Описания схемных решений

### Канал измерения энергии

Энергия частицы пропорциональна амплитуде сигнала на выходе зарядово-чувствительного предусилителя (ЗЧП). Параметры сигнала:

- Амплитуда – 35 мВ для частицы 1 ГэВ
- Форма сигнала – время нарастания 30 – 40 нс (зависит от места попадания частицы в кристалл), постоянная времени спада 100 мкс.

Динамический диапазон измеряемых энергий можно оценить учитывая, что в кристалле остается 80% энергии регистрируемой частицы. Тогда при максимальной энергии 200 ГэВ в кристалле остается 160 ГэВ, а динамический диапазон составит  $160 \text{ ГэВ} / 4 \text{ МэВ} = 40\,000$ , что потребует 16 разрядного АЦП. Необходимо также учесть, что наиболее вероятна регистрация частиц до 10 ГэВ. Для уменьшения разрядности АЦП диапазон измерений разбивается на два поддиапазона, которые отличаются усилением – высокое усиление (ВУ) и низкое усиление (НУ). Предлагается использовать 12 разрядный АЦП, тогда диапазон энергий, измеряемый в канале ВУ равен 5 МэВ – 20 ГэВ, а в канале НУ – 40 МэВ – 160 ГэВ.

Таким образом, на карте располагается 64 канала измерения энергии – 32 канала с низким усилением и 32 канала с высоким усилением.

Каждый канал содержит фильтр, буферный усилитель и АЦП. Выходной сигнал ЗЧП проходит через фильтр, который повышает отношение сигнал/шум и формирует

(определяет) форму импульса. Схема фильтра показан на рис. 3, а форма выходного сигнала на рис. 4.

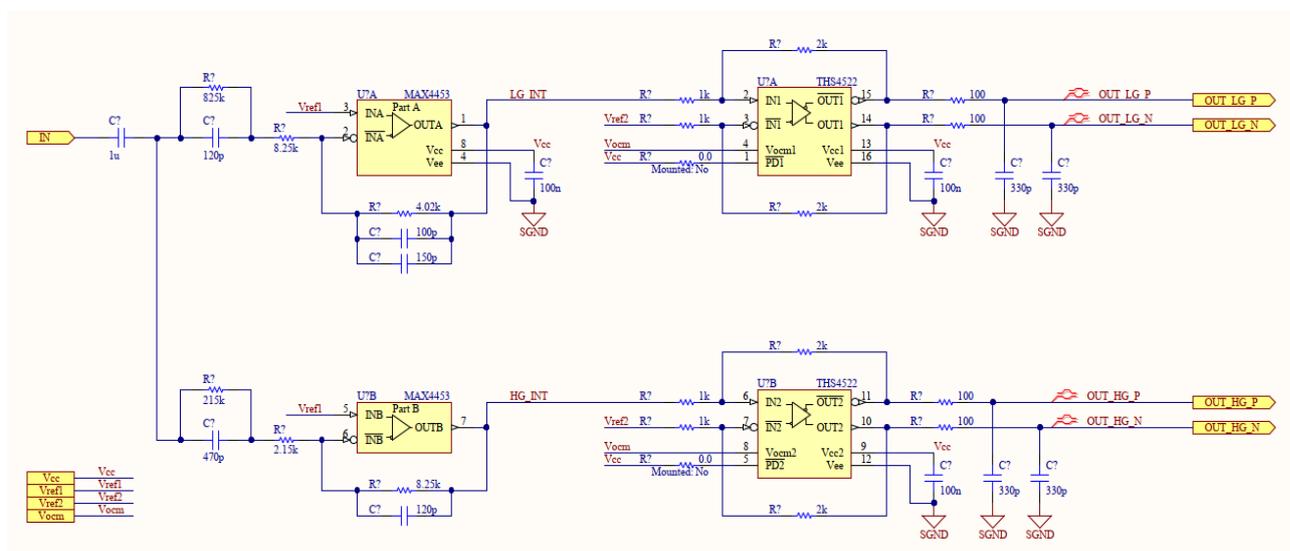


Рис. 3. Фильтр первого порядка с постоянной времени 1 мкс.

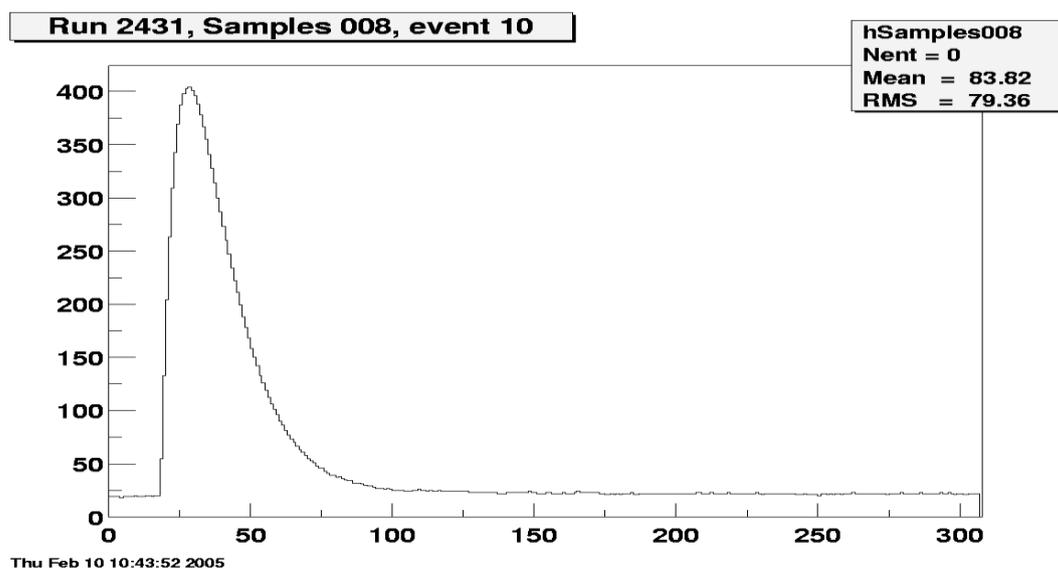


Рис. 4. Форма импульса на выходе фильтра.

Фильтры 1-ого порядка с постоянной времени формирования 1 мкс. в каналах HG/LG выполнены на м/с MAX4454 (4 ОУ в одном корпусе). Два дифференциальных усилителя THS4522 согласуют выходы фильтров с дифференциальными входами АЦП с постоянными уровнями 0.5 и 1.5 вольта и подавляют синфазные помехи.

В качестве АЦП используется параллельный (быстрый) преобразователь, который осуществляет непрерывную выборку входных сигналов с частотой 40 МГц,

которая синхронизирована с частотой пересечения пучков БАК. Используются АЦП ADS52J90 с программируемыми функциями. Выбран режим работы 32 входных канала с частотой дискретизации 40 MSPS. Данные на выходы АЦП поступают в последовательном виде.

Пьедесталы должны иметь значение  $50 \pm 10$  отсчетов АЦП.

Сигма шумов пьедесталов без подключенных ЗЧП должна быть не больше 0.5 отсчета АЦП.

### Канал измерения времени пролета

Необходимо измерять время пролета для различных частиц в диапазоне от 15 до 17 нс. Ошибка измерения (сигма) для частиц с энергией 1 – 2 ГэВ не должна превышать 0.5 нс. Цена канала временной шкалы – 0.1 нс.

Время пролета измеряется СТАРТ-СТОП методом с помощью м/с НРТДС (High Performance Time to Digital Converter), которая разработана в ЦЕРН. Сигнал СТАРТ поступает с соответствующего выхода компаратора X2 (рис. 5). Сигнал СТОП поступает

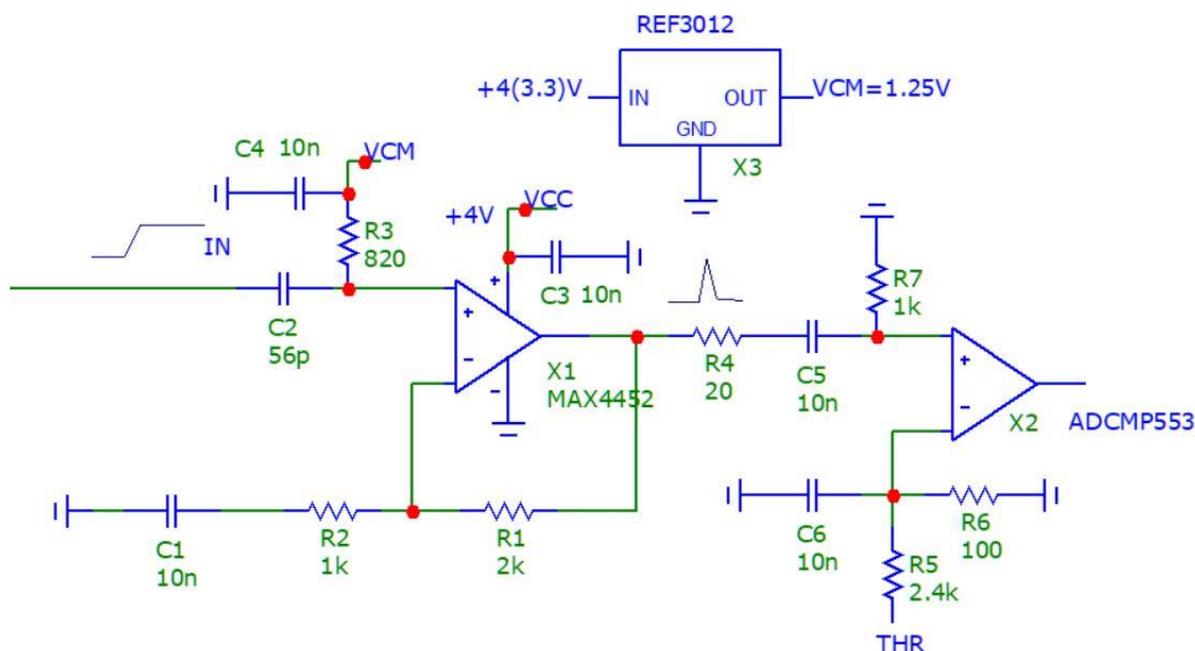


Рис. 5. Схема формирования сигнала Старт.

от импульсов синхронизации пучков БАК (BC – импульсы синхронизации пучков). Микросхема может работать с 32 входными каналами при этом ошибка измерения составляет 100 пс

В настоящее время в ЦЕРН разработана новая версия НРТДС с названием рiсoTDC с улучшенными измерительными характеристиками. Она имеет режим работы с 64 входными каналами с ошибкой измерения 12 пс. Начало производства рiсoTDC планируется на 2021г. В окончательной версии измерительной карты будет использоваться именно эта микросхема.

#### Блок регулировки напряжения смещения APD

Технические характеристики формирователя индивидуальных напряжений смещения лавинных фотодиодов (APD):

1. Регулировка напряжения смещения в диапазоне 200 – 400В
2. Минимальный шаг регулировки - 0,2 В.
3. Шумы и пульсации на выходе формирователя – не более 25 мВ
4. Температурная нестабильность выходного напряжения – не более 0,1%/°С
5. Выполнять команды управления от контроллера карты (КК)
6. Сопротивление изоляции между высоковольтными и низковольтными цепями – не менее 20 МОм.

Схема блока описана в п.3 Приложения 1.

#### Блок регулировки порога

Блок формирует 32 напряжения порогов, величина которых задается кодами, хранящимися в контроллере карты (КК).

Диапазон регулировки напряжения порога – 100.

Минимальный шаг изменения напряжения порога – 1 мВ.

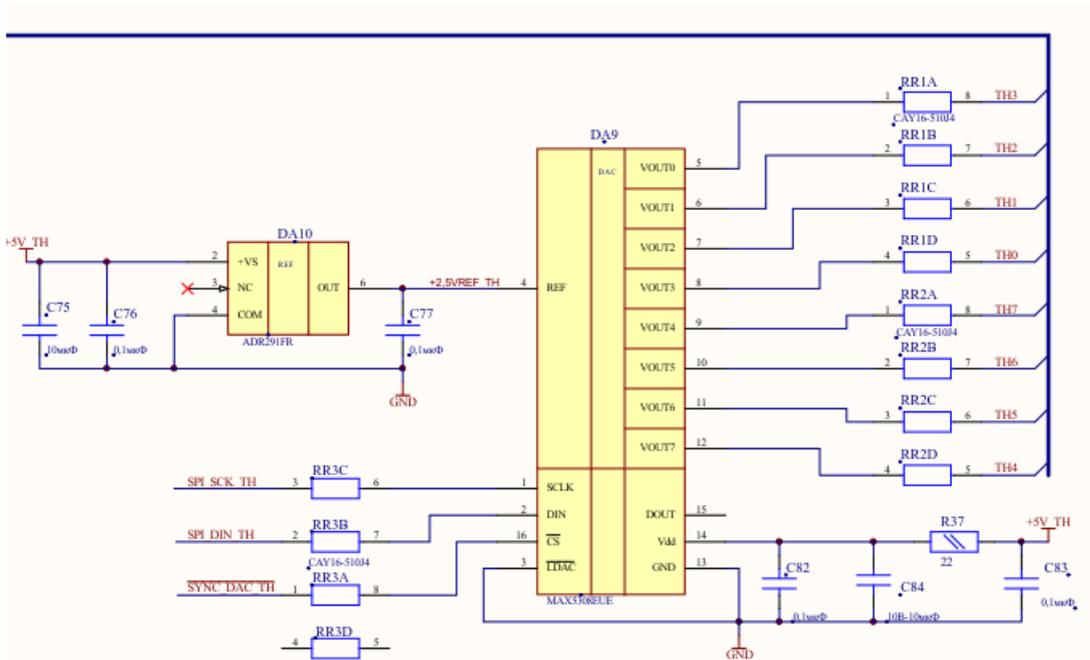


Рис. 6. 8 канальная схема формирования порогов.

Схема регулировки порогов на 8 каналов показан на рис. 6. Всего на карте располагается 4 такие схемы.

#### Формирование триггерного сигнала

Блок должен осуществлять аналоговое суммирование выходных сигналов четырех зарядо-чувствительных предусилителей (ЗЧП). Форма сигнала на выходе блока – квазигаусс с временем достижения максимума 50 нс. Выход блока дифференциальный с постоянными уровнями 0.5 и 1 В. Максимальная амплитуда выходного сигнала 1В. Схема описана в п.4 Приложения.

#### Интерфейс чтения данных – связь с DAQ

Описание приведено в Приложении 1 в разделе п.5 Система чтения данных и управления.

#### Интерфейс управления – связь с DCS

Описание приведено в Приложении 1 в разделе п.5 Система чтения данных и управления.

#### Блок измерения напряжения, тока, температуры

Блок предназначен для измерения выходных напряжений источников питания, расположенных на карте и их токов. Измеряться температура карты в 3 точках. Измеряются напряжения и токи всех источников питания на карте. Источники питания карты выключатся при превышении допустимых токов и/или температуры. Чтение полученных данных в DCS.

#### Низковольтные напряжения питания

Структурная схема питания карты от низковольтных и высоковольтного источников питания показана в Приложении 2. Количество отдельных источников питания – 5 источников с максимальным напряжением 8 В и один источник с максимальным напряжением 15 В.

Максимальная потребляемая мощность для одного измерительного канала – не более 200 мВт.

Источники питания ЗЧП +13В и -6В располагаются на карте.

#### Соединительные разъёмы

2 входных разъема -- 3М N3372-6202R

Разъем питания – PHOENIX CONTACT 1776566 (MSTB 2.5/8-GF-5.08-1776566)

RJ45

JTAG

Выход суммарных сигналов – FTSH-108-01-L-D-RA

#### Габаритные размеры платы

210 x 353 mm<sup>2</sup>

#### Требования к совместимости

Разрабатываемая измерительная электроника должна быть совместима с

- системами медленного контроля (DCS) эксперимента ALICE,
- триггерной системой АЛИСА (см. п.9 Приложения),
- системами низковольтного и высоковольтного питания PHOS.

#### Требования надежности

Продолжительность безотказной работы электроники ФОС – 10 лет в условиях проведения экспериментов при повышенной светимости БАК.

### Конструктивные требования

Механическая конструкция плат на которых размещается разрабатываемая электроника PHOS должна повторять механическую конструкцию аналогичных плат существующей электроники PHOS.

На карте не должно быть каких-либо магнитных компонентов и индуктивностей.

### Требования по радиационной нагрузке

Из-за низкого радиационного фона в месте расположения карт измерительной электроники требований по радиационной стойкости к используемым электронным компонентам не предъявляется.

### Сроки выполнения проекта

К концу 2020 г. должны быть изготовлены 2 карты для проведения настройки, контрольных измерений в лаборатории. По полученным результатам должны быть внесены изменения в конструкторскую документацию.

В **Приложении** приведено краткое описание устройства PHOS, чтобы разработчик составил представление о расположении и условиях работы измерительной электроники.

Предварительно несколько фото, показывающих расположение карт внутри модуля и соединительные провода для подачи напряжения питания, чтения данных и программирования.

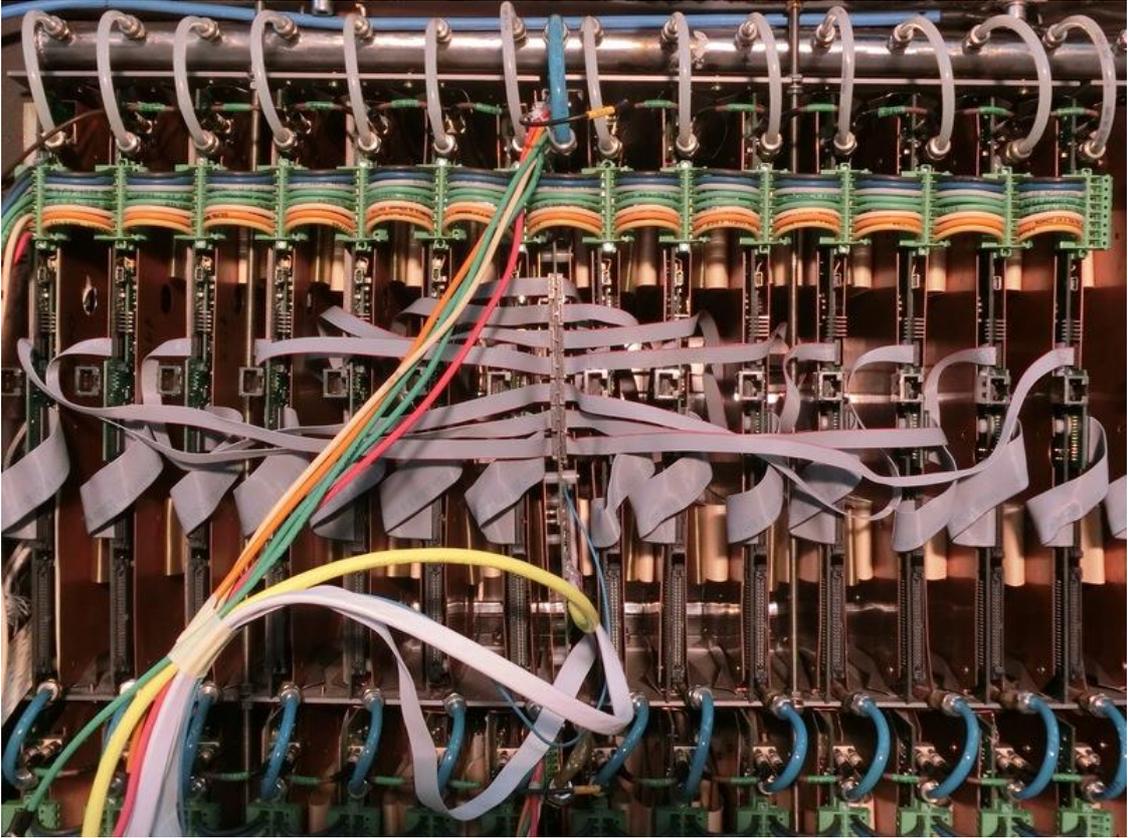


Рис. 7. Карты с подключенными проводами и системой водяного охлаждения.

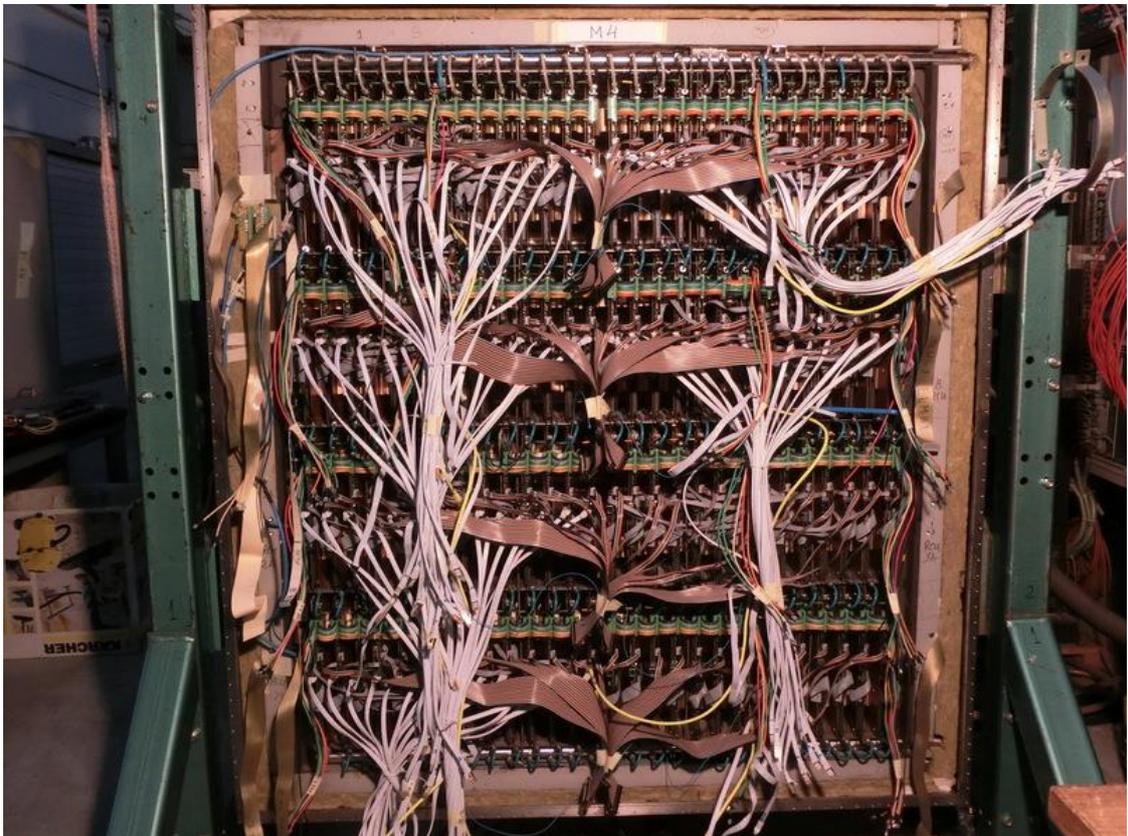


Рис. 8. Вид на модуль без крышки со стороны карт.



Рис. 9. Модуль с закрытой крышкой. Все соединения с картами снаружи осуществляются через герметичные фланцы.

## Приложение 1

### Описание фотонного спектрометра PHOS/ALICE

#### *Введение*

Фотонный спектрометр (PHOS) – электромагнитный калориметр с высоким разрешением [1]. С помощью PHOS проводятся следующие исследования:

- Исследования начальной, наиболее горячей, фазы столкновения путём измерений прямых одиночных фотонов и прямых дифотонов.
- Определение начальной температуры образующегося в столкновении сгустка горячей и плотной материи путём измерения спектра теплового фотонного излучения.
- Определение пространственно-временных размеров сгустка путём измерения корреляций Ханберри-Брауна и Твисса для прямых фотонов и нейтральных пионов.
- Исследования явления гашения струй путём измерения одиночных фотонов и нейтральных пионов с высокими поперечными импульсами.

Детекторное устройство PHOS состоит из четырех одинаковых модулей, расположенных внутри магнита L3 эксперимента АЛИСА. В качестве детектирующего материала (радиатора) используется сцинтиллятор на основе кристаллов вольфрамата

свинца  $PbWO_4$ , с радиационной длиной 0,89 см и величиной радиуса Мольер 2,19 см. Так как световой выход кристалла имеет температурную зависимость 1,9%/°C при комнатной температуре и растёт с понижением температуры, то для увеличения световыхода кристаллы охлаждают до температуры – 25°C, которая должна иметь нестабильность 0,1°C.

В PHOS используются кристаллы с размерами 22x22x180 мм, ориентированными торцами 22x22 мм к потоку регистрируемого излучения. К противоположному торцу кристалла, с помощью специального оптического клея, приклеен фотоприёмник. Когда в кристалл попадает фотон высокой энергии, он рождает электрон-позитронную пару. Эта пара начинает тормозиться, рождает так называемые тормозные фотоны, и фотоны опять порождают пары – начинается лавинный процесс - электромагнитный ливень. Ливень преобразуется в сцинтилляционных кристаллах во вспышку света. Непрозрачные стенки ячеистых структур исключают перерассеивание света между кристаллами. Однако существует утечка электромагнитного ливня в соседние кристаллы. Поэтому в кристалле, в который попала частица, регистрируется только 80% ее энергии.

## **1. Механическая конструкция PHOS**

Матрица из 3584 (64x56) детекторных каналов, измерительная электроника и мониторная система располагаются в герметичном корпусе размером 1734x1590x757 мм<sup>3</sup>. Корпус модуля имеет холодную и тёплую зоны, разделенные теплоизолирующими конструкциями.

Единичная механическая сборка детекторных каналов представляет собой соты 2 x 8 ячеек. Единичный детекторный канал и механическая сборка 2 x 8 детекторных каналов показана на рис. 1 а) и б) соответственно. Механическая

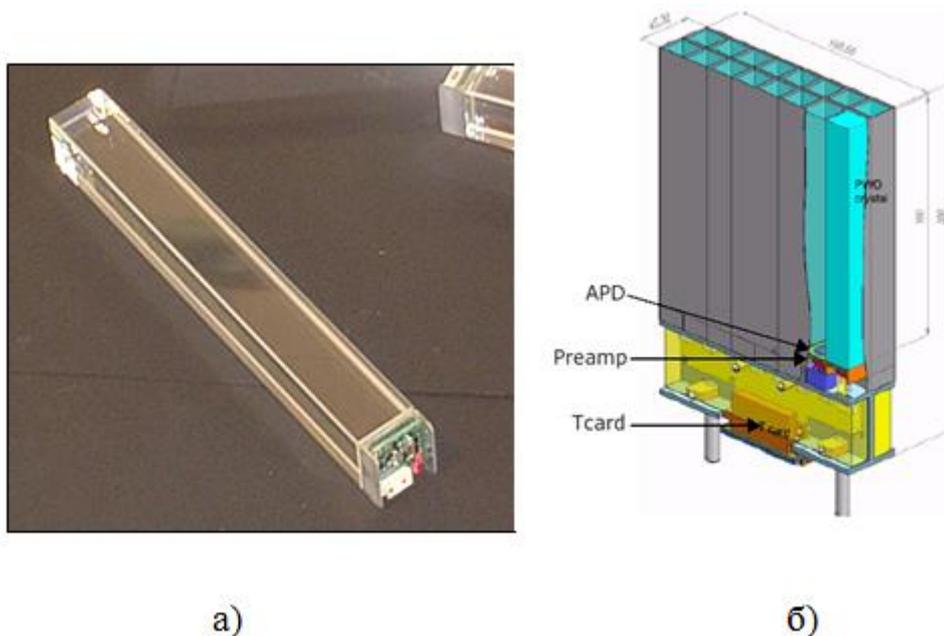


Рис. 1. Единичный детекторный канал а), сборка 2 x 8 детекторных каналов б).

сборка состоит из ячеистой структуры, выполненной из листовой нержавеющей стали, в которой располагаются кристаллы. К ячеистой структуре приварен корпус, в котором располагаются печатные платы, соединительные карты, через которые осуществляется связь зарядово-чувствительных предусилителей (ЗЧП), расположенных в холодном объеме, со считывающей электроникой в тёплом. В корпус ввёрнуты шпильки, с помощью которых механическая сборка крепится к холодильной панели.

В качестве фотодетектора используется лавинный фотодиод (ЛФД) НАМАМАТСУ S8148 с размером светочувствительного окна  $5 \times 5 \text{ мм}^2$  и паразитной емкостью около 80 пФ при напряжении смещения больше 200 В. Усиление ЛФД – 50. ЛФД впаян в плату ЗЧП и приклеен к кристаллу с помощью специального оптического клея.

На рис. 2 показана схема расположения кристаллов и считывающей электроники в модуле. В верхней части рисунка показаны механические сборки, которые закреплены на холодильной панели. Далее идёт слой термоизоляции и за ним располагаются карты считывающей электроники.

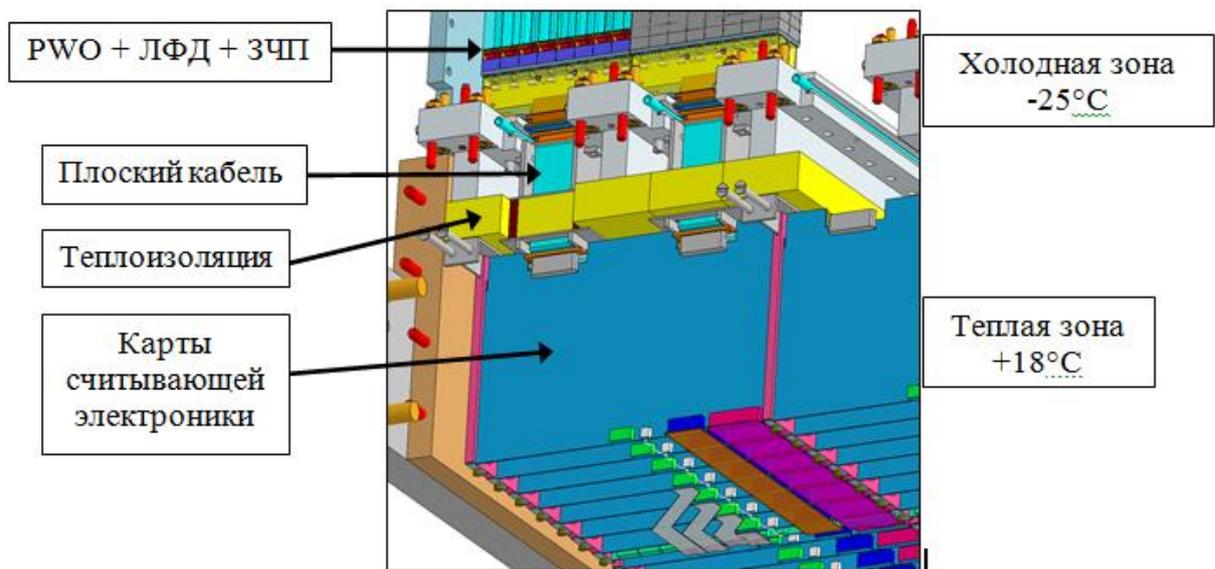


Рис. 2. Схема расположения кристаллов и считывающей электроники в модуле.

## 2. Карта измерительной электроники PHOS

Измерительная электроника PHOS построена с использованием специализированной микросхемы ALTRO [2]. ALTRO содержит 16 измерительных каналов, каждый из которых состоит из параллельного 10 бит АЦП TSA1001, разработанного фирмой ST Microelectronics. Кроме того, каждый канал содержит схемы для цифровой обработки сигналов, схемы построения выходных кодов, которые считываются системой сбора данных ALICE и блок управления. Кроме цифровой обработки сигналов, ALTRO имеет функцию подавления нулей (zero suppression). При включении этой функции нулевые коды, которые получаются после вычитания базовой линии, не передаются в систему сбора данных, что уменьшает объем накапливаемой информации. Для правильного восстановления формы сигнала, номера нулевых кодов в выборке сигнала записываются в специальный блок данных со служебной информацией.

Один модуль PHOS содержит 112 карт измерительной электроники. Каждая карта подключена к 32 детектирующим каналам. Т.к. динамический диапазон измеряемых энергий составляет  $80000\text{МэВ}/5\text{МэВ} = 16000$ , а АЦП имеет только 1000 уровней квантования, то используются два канала с отношением усиления равным  $HG/LG = 16$ . Вид карты измерительной электроники и расположение основных функциональных элементов на ней показан на рис. 3.

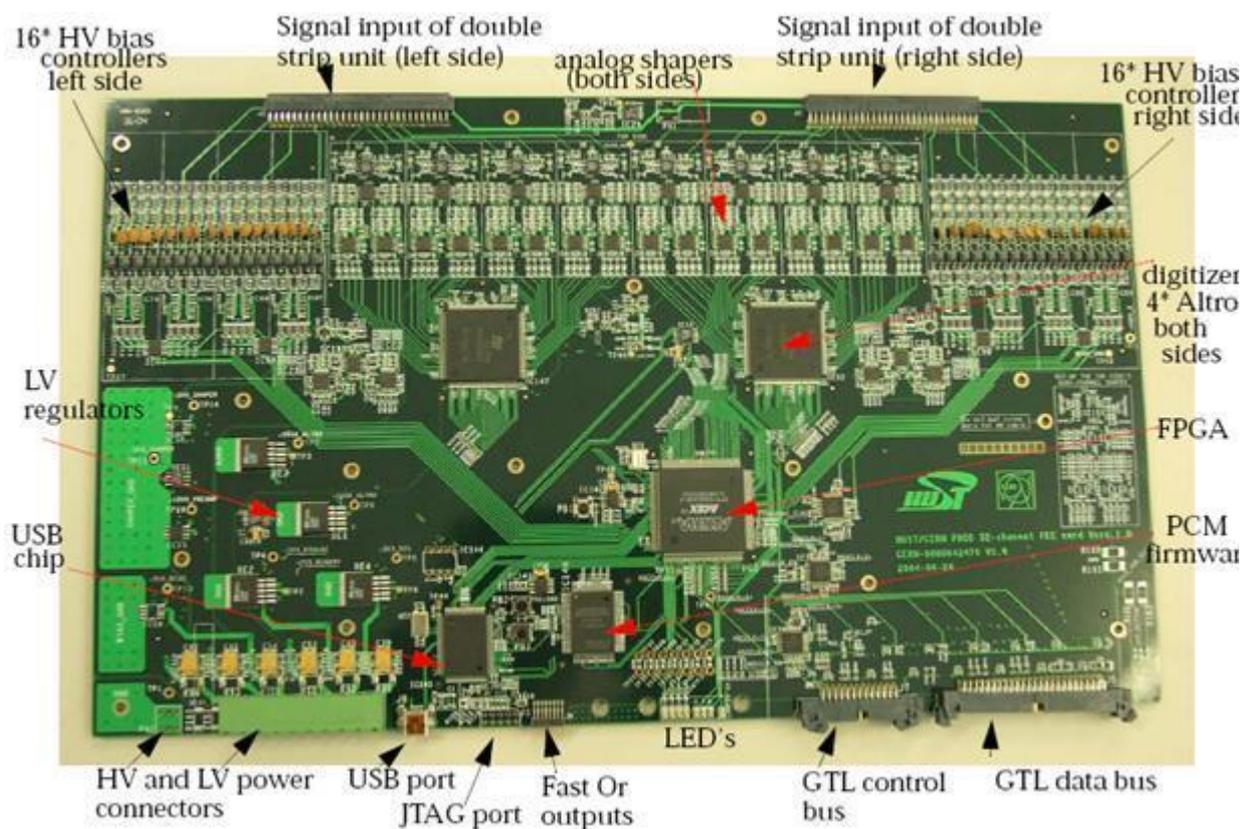


Рис. 3. Карта измерительной электроники на 32 детектирующих канала.

Она содержит 64 фильтра с высоким и низким усилениями, 32 регулятора напряжения смещения для лавинных фотодиодов, 4 многофункциональные микросхемы ALTRO, 8 суммирующих усилителей формирующие сигналы для триггера, блок управления и источники стабилизированного питания. Плата имеет размер 210 x 353 мм<sup>2</sup> и содержит 10 слоёв [3]. Многослойная конструкция платы объясняется необходимостью минимизировать наводки от цифровых схем на аналоговые. Для этой же цели используются отдельные источники питания для аналоговых и цифровых схем. Рассеиваемая мощность всех схем расположенных на плате равна 5,6 Вт. Так как платы располагаются в закрытом объеме корпуса модуля, то используется водяное охлаждение. Вода проходит через медные трубки, припаянные к медным экранам, которые крепятся по обе стороны платы.

### 3. Формирование напряжения смещения ЛФД

Коды, определяющие величины напряжения смещения и, следовательно, коэффициенты усиления ЛФД, хранятся в базе данных системы медленного контроля (DCS). DCS через Ethernet связана с устройством управления чтения-записи (SRU), которое в свою очередь по шине P2P связано с КК. КК содержит 32 десятиразрядных регистра, в которые записываются коды из DCS. Запись кодов в ЦАП осуществляется по протоколу SPI, который осуществляет функциональный блок, расположенный в КК. КК и ЦАПы соединены по шине данных как сдвиговые регистры, с использованием протокола Daisy Chain, что существенно сокращает количество проводников шины данных.

На рис. 4 показана схема соединения ЦАП с контроллером платы (PCM).

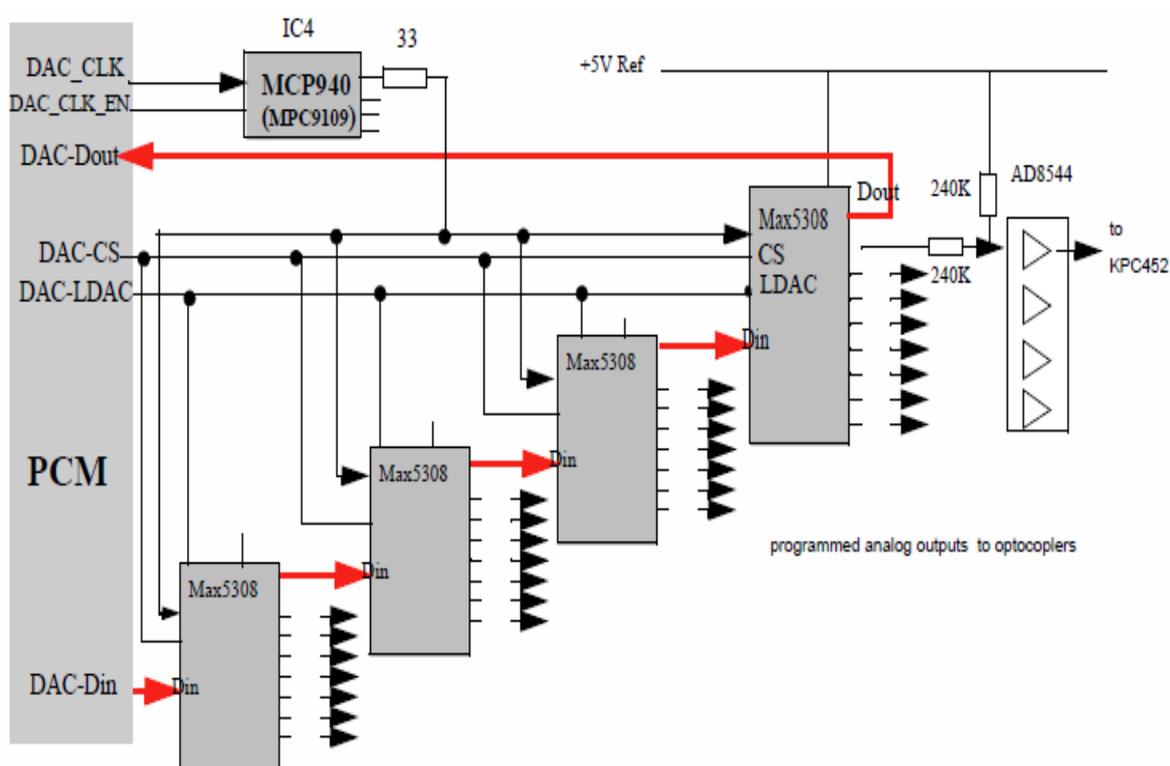


Рис. 4.

На рис. 5 показана схема формирования напряжения смещения ЛФД.

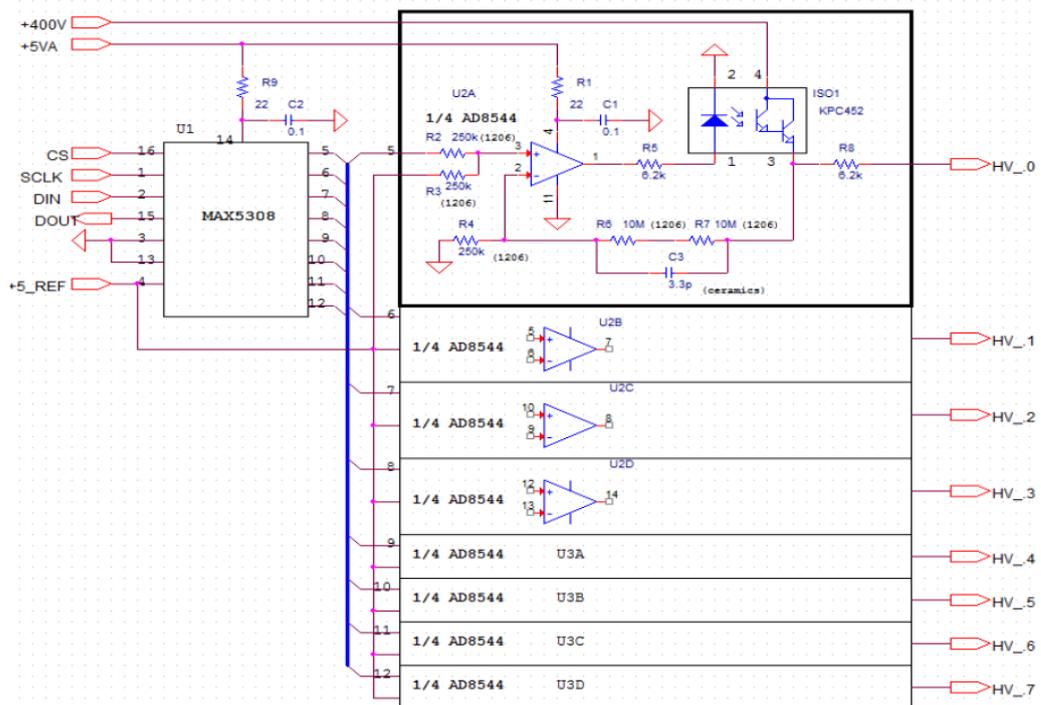


Рис. 5.

#### 4. Схема формирования триггерного сигнала

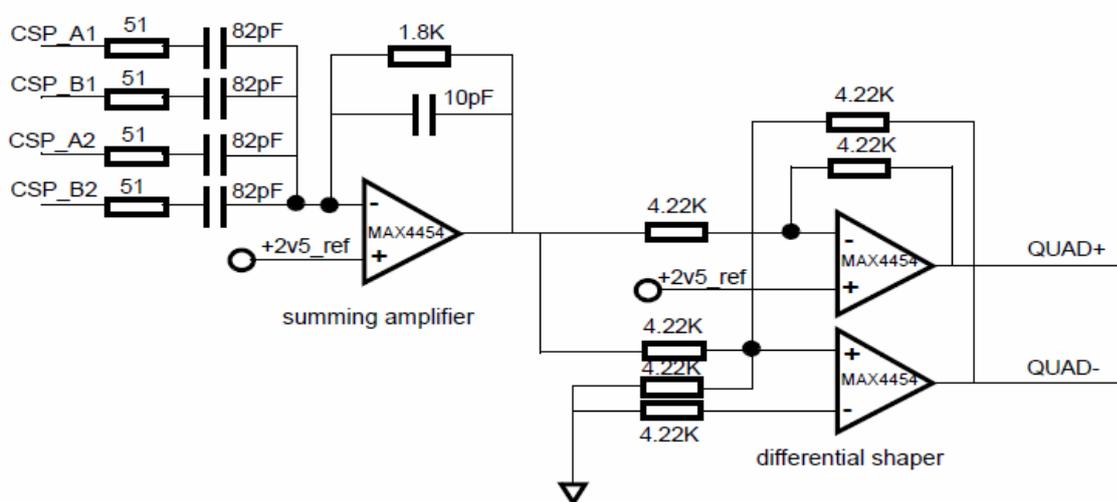


Рис. 6.

На рис. 6 показана принципиальная схема суммирования сигналов  $2 \times 2$ , которая состоит из собственно схемы суммирования и драйвера выходного сигнала с дифференциальным выходом.

## 5. Система чтения данных и управления

Система чтения данных основана на параллельном чтении всех FEE карт по независимому каналу DTC [3]. Приемным устройством является блок SRU (scalable readout unit). Блок SRU позволяет подключать независимо до 40 FEE карт с помощью разъемов RJ45. Триггерные сигналы по протоколу TTC поступают по оптическому кабелю на разъем TTC link.

Архитектура системы чтения данных приведена на рис.7. К каждой FEE карте (обозначенной FEE1 ... FEE40) добавлена мезонинная карта DTC, обеспечивающая связь с SRU. Управление SRU и FEE картами осуществляется по сетевому протоколу UDP посредством подключения SRU к локальной вычислительной сети ALICE DCS. Связь в DAQ идет по одному или двум каналам DDL, в зависимости от требований к скорости приема данных. Для спектрометра PHOS используется следующая сегментация детектора: 8 бранчей, считывающих по 14 FEE и 1 TRU (триггерная карта). Таким образом, один модуль ФОС считывается 4-мя блоками SRU, а на один SRU будет приходиться 30 входных каналов DTC: 28 FEE и 2 TRU.

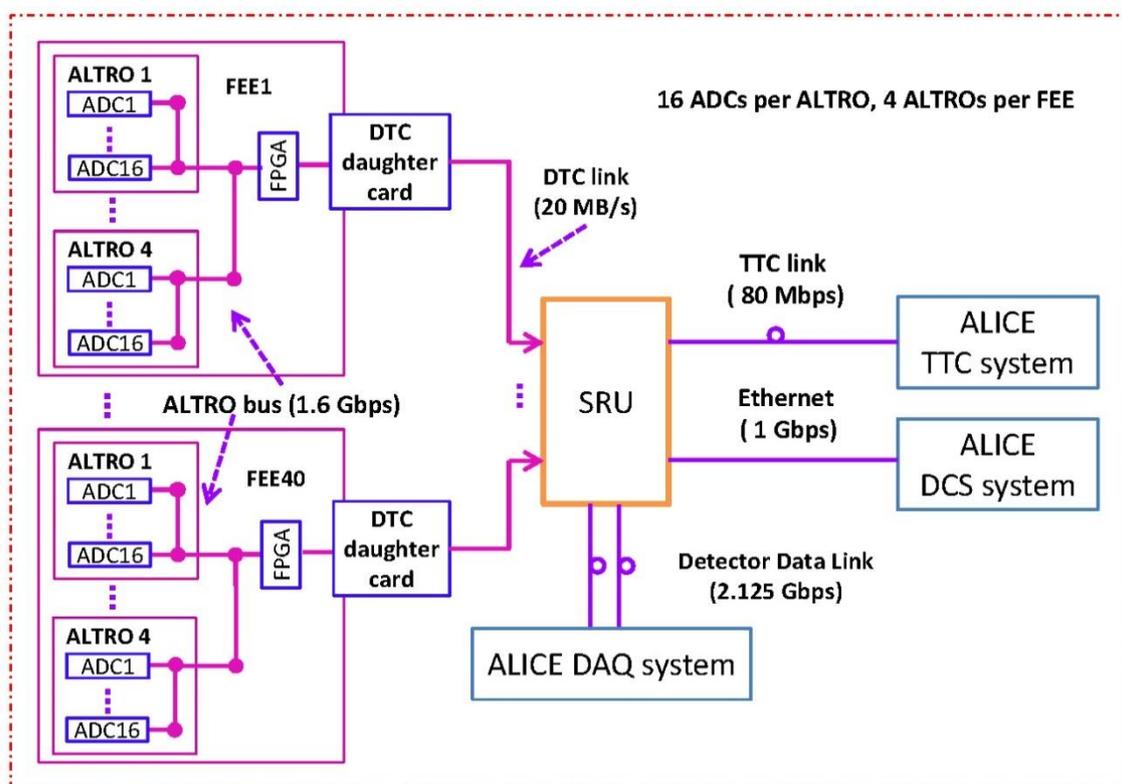


Рис. 7. Функциональная схема системы чтения данных и синхронизации.

## 6. Протокол передачи сигналов по DTC link

На рис. 8 показана схема соединения измерительной карты и SRU, и сигналы передаваемые по линиям связи. Показано назначение контактов на разъеме RJ45.

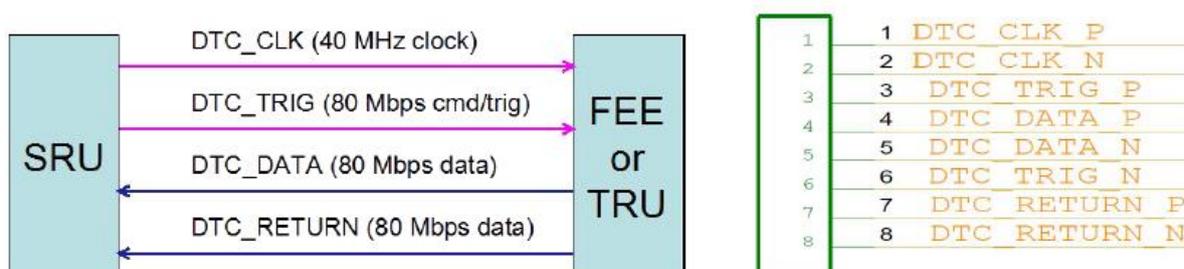


Рис. 8.

SRU передает карте измерительной электроники следующие команды и сигналы по DTC\_TRIG связям:

1. Триггеры
2. Быстрые команды
3. Медленные команды
4. Импульсы банчкроссинга 40 МГц (DTC\_CLK).

Триггер L0 передается одним импульсом длительностью 12.5 нс с импульсом синхронизации DTC\_CLK по положительному фронту (рис. 9).

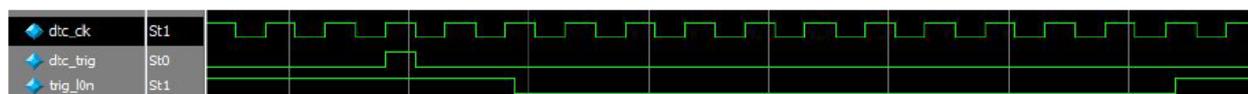


Рис. 9.

Триггер L1 передается двумя импульсами с импульсами синхронизации DTC\_CLK по положительному фронту (рис. 10).

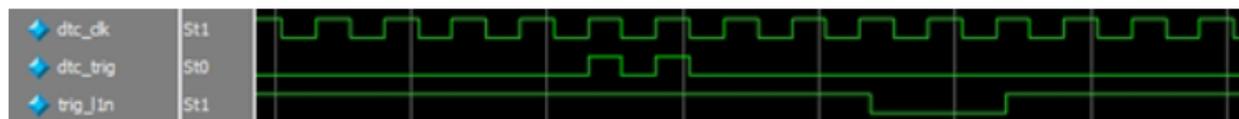


Рис. 10.

Быстрые команды передаются 8-и битным словом, старший бит первый, с синхронизацией DTC\_CLK по отрицательному фронту. Пример передачи слова 8'hE2 показан на рис. 11.

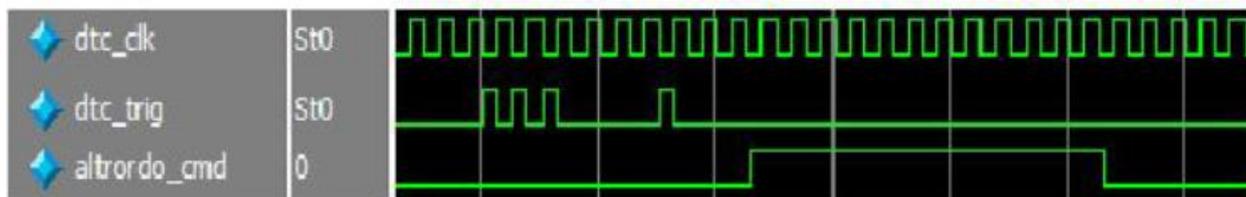


Рис. 11.

Описание быстрых команд приведено в таблице 1.

Таблица 1.

Fast command	Coding	Description
RDOCMD	0xE2	Readout command, ask FEE/TRU readout ALTRO and transmit event data to SRU
SCLKSYNC	0xE4	Ask FEE to reset sampling clock divider
RJECTCMD	0xEA	Reject the event command (related to L2r trigger), ask FEE/TRU to discard the associated event data stored in the ALTRO buffer.
RSTCMD	0xE8	Reset TRU/FEE, asserts "reset" pin of ALTRO on FEE.
STREQ	0xE9	Ask FEE/TRU to send its status (The Status Frame) to SRU
ARDOEND	0xEF	Tell TRU that ALTRO readout in FEE is finished (ALTRO readout starts after FEE receives RDOCMD).

Медленные команды осуществляют запись и чтение регистров. Структура медленной команды:

0xE1(заголовок 8 бит) + Рег\_Адр(32 бит) + Рег\_Дан(32 бит).

Первым передается старший разряд, синхронизация по отрицательному фронту DTC\_CLK.

- Адресный бит [31]: флаг операции запись/чтение. "0" – запись, "1" – чтение
- Адресный бит [30]: "0" – FPGA регистр; "1" – ALTRO регистр
- Назначение других бит Адресного регистра на усмотрение разработчиков.

На рис. 12 показана осциллограмма команды записи числа 0x12436587 в регистр 0x60:

{8'hE1, 32'h0000\_0060, 32'h1243\_6587}.

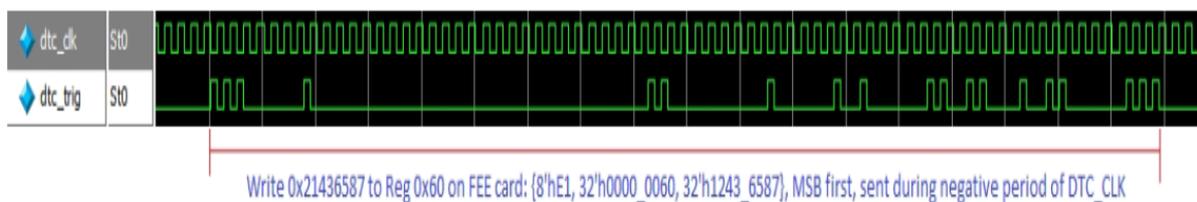


Рис. 12.

## 7. Формат Ответа и данных События.

Данные от карты к SRU передаются по линиям DTC\_DATA и DTC\_RETURN, со скоростью передачи на каждой линии 80Mbps (рис. 8).

Bit order of 16-bit word, LSB first, 40 MHz DDR mode								
DTC_DATA	Bit0	Bit2	Bit4	Bit6	Bit8	bit10	bit12	bit14
DTC_RETURN	bit1	Bit3	Bit5	Bit7	Bit9	bit11	bit13	bit15

Структура фрейма:

**Статус:** один заголовок (0xDCDC), за которым следует 16 бит статусное слово:

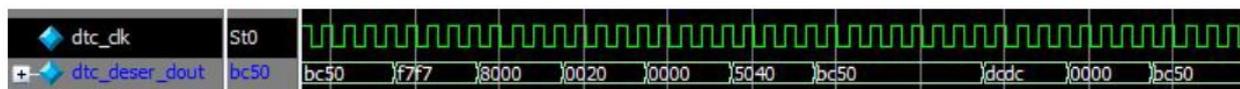
- Бит [15] статуса – суммарный флаг ошибки: 0 = карта работает нормально; 1 = сбой работы
- Определение других бит статуса на усмотрение разработчика

**Ответ:** один заголовок (0xF7F7), за которым следует адрес и данные (16 бит старшая часть адреса, 16 бит младшая часть адреса, 16 бит старшая часть данных, 16 бит младшая часть данных).

**Событие:** один заголовок (0x5C5C), за которым следует данные События и флаг конца События (0xC5D5 C5D5 C5D5 C5D5).

- длина данных события может быть переменной, зависящая от размера события
- фрейм события не должен содержать слово длины события.

Пример: SRU послала команду чтения регистра 0x20 на карте, карта послала Ответ и Статус на SRU.



Ответ: 0xF7F7 (заголовок), 0x8000\_0020 (команда Чтение и адрес регистра), 0x0000\_5040 (содержание регистра 0x20).

Статус: 0xDCDC (заголовок), 0x0000 (статус).

Пример: посылка события и статуса



Правило построения фрейма:

1. между двумя фреймами должно быть по крайней мере два синхронизирующих слова 0xBC50
2. после каждого Ответа и События должен следовать Статус
3. пример построения фрейма:

0xBC50,0xBC50,Ответ,0xBC50,0xBC50,Статус,0xBC50,0xBC50

...Событие,0xBC50,0XBC50,Статус,0xBC50,0xBC50 ...

## 8. Формат данных

Формат данных – 32 бита. Если данных не хватает на 32 бита, то добавляется 0x00. DW0 ... DW9 – 10 бит слова, считанные из ALTRO. Структура данных с пояснениями показана на рис. 13.

31	30	29	20	19	10	9	0	
01	E	Altro channel header 1						
00	DW9		DW8		DW7			
00	DW6		DW5		DW4			
00	DW3		DW2		DW1			
00	DW0		0x00		0x00			
01	E	Altro channel header 2						
00	DW4		DW3		DW2			
00	DW1		DW2		0x00			
01	E	Altro channel header 3						
00	DW3		DW2		DW1			

ALTRO Channel Header Format	
Bit location	Meaning
[11:0]	"Hard Add" from 40-bit ALTRO data
[15:12]	Reserved = "0000"
[25:16]	"#10-bit w" from 40-bit ALTRO data
[28:26]	Reserved = "000"
[29]	E: Channel Error Bit, set to '1' when a mismatch for channel address or word count is detected. FEE will correct the corresponding info field.
[31:30]	Mark: "00" : Payload; "01" Header.

Рис. 13. Структура данных.

## 9. Триггерная система АЛИСА: организация измерений на период Run\_3

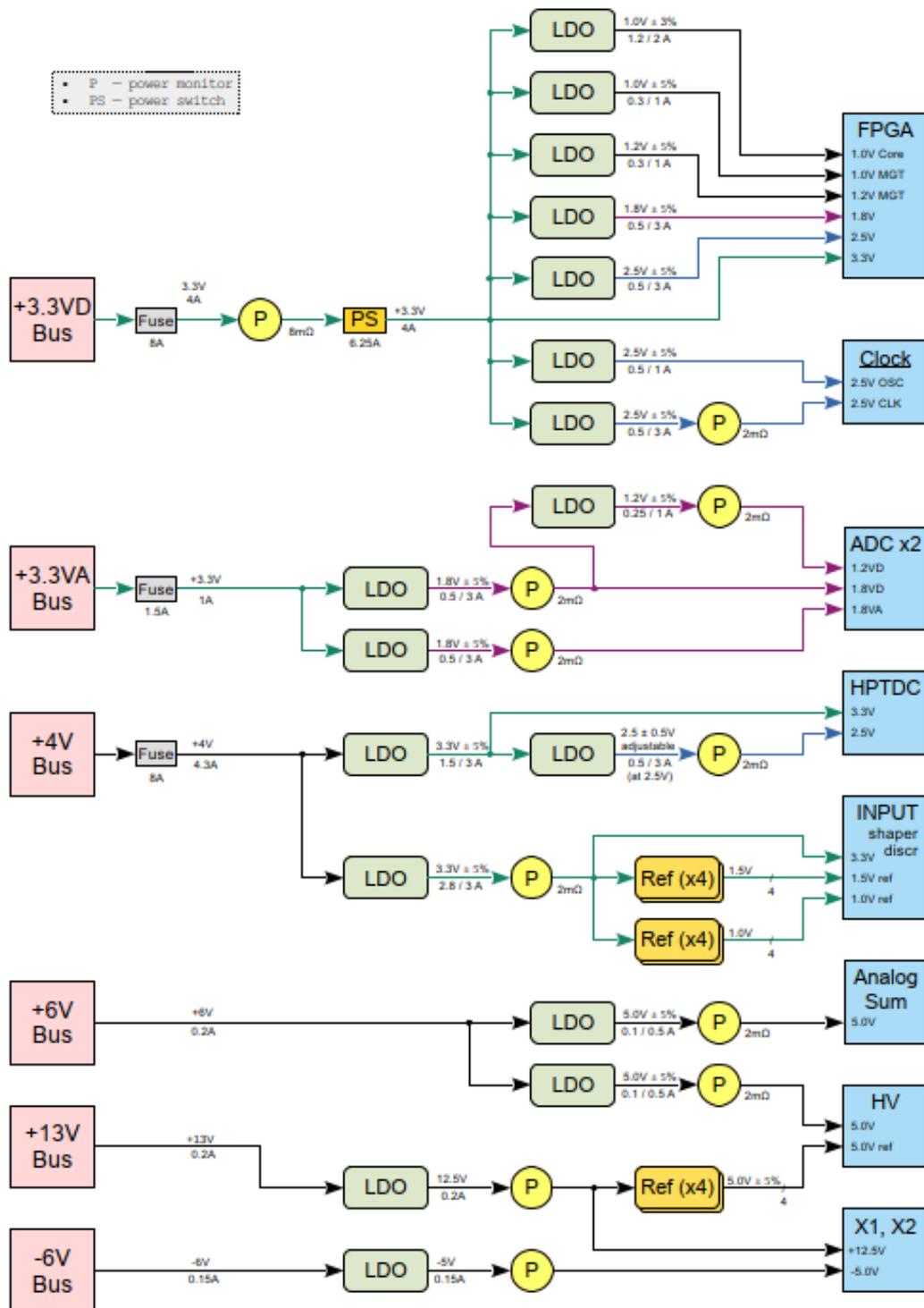
- Центральный триггерный процессор (СТП) ALICE в Run3 будет посылать в PHOS последовательность триггеров L0 и L1.
- Триггер L0 генерируется триггерными детекторами ALICE (FIT, EMCAL, PHOS, MUON) и поступает в СТП с задержкой 1.2 мкс после столкновения пучков. СТП

распространяет этот триггер L0 по модулям чтения данных детекторов с не обновлённой архитектурой (ACORDE, CPV, EMCAL, HMPID, PHOS). Минимальная задержка прихода триггера L0 в детекторы составляет 1.4 мкс.

- Триггер L0 сопровождается сообщением, несущим идентификацию события - номером орбиты, номером пересечения банчей, типа триггера.
- L1 генерируется триггерными детекторами EMCAL, PHOS, TRD и поступает в СТР с задержкой 6.1 мкс. СТР распространяет триггер L1 по модулям чтения данных детекторов с не обновлённой архитектурой. Если триггерные детекторы не генерируют триггер L1, то СТР посылает свой триггер L1, сгенерированный внутренним генератором СТР.
- Модули чтения данных PHOS получают триггерные сигналы от СТР и передают их в FEE карты. По приходу L0 модуль чтения данных PHOS выставляет флаг "busy", которые передается в триггерный модуль LTU для блокировки посылки следующих триггеров до тех пор, пока событие не обработано и не отправлено в DAQ. По триггеру L0 FEE карты запоминают данные в буфере памяти ALTRO, а по приходу триггера L1 передают их в модули чтения данных. Отсутствие триггера L1 от СТР означает отмену чтения события, вызванного триггером L0.
- Модули чтения данных формируют данные, собранные с FEE карт, в событие, начинающееся общим заголовком события, содержащим идентификацию события, переданную в сообщении СТР. Сформированное событие посылается в DAQ по триггеру L1.
- СТР также генерирует периодический НВ (heart beat) триггер с интервалом 89.4 мкс, необходимый для синхронизации событий, считываемых детекторами с непрерывным чтением и детекторами с не обновлённой архитектурой. Модули чтения данных PHOS, получив НВ триггер, должны сформировать специальное событие и отправить его в DAQ. Если НВ триггер приходит во время обработки предыдущего события, пока выставлен флаг "busy", то модули чтения данных должны запланировать ответ на получение НВ триггера сразу после обработки предыдущего события.

## Приложение 2

### Схема питания карты



## Литература

4. ALICE Technical Design Report of the Photon Spectrometer (PHOS). CERN /LHCC 99-4, ALICE TDR 2, 5 March 1999: [EDMS link](#)
5. Front-end electronics for PWO-based PHOS calorimeter of ALICE. Nuclear Instruments and Methods in Physics Research A 567 (2006) 264–267.
6. Point-to-point readout for the ALICE EMCAL detector. Nuclear Instruments and Methods in Physics Research A 735 (2014) 157–162.