

# FE электроника SPD RS

(аналоговая и цифровая)

Алексеев Г.Д., SPD техсовет, 24.03.2021

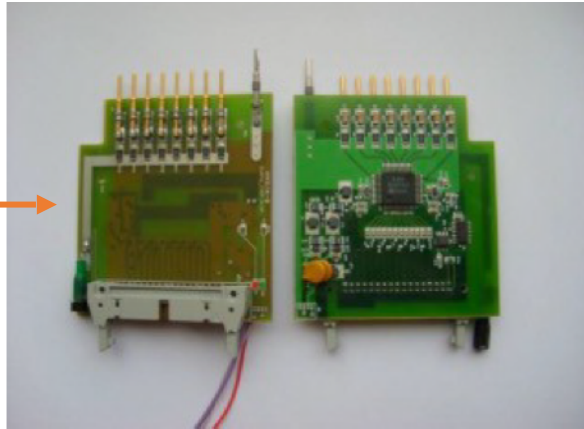
- **Аналоговая электроника** базируется на двух 8-канальных микросхемах: Ampl-8.3 и Disk-8.3, использованных в проектах D0/FNAL и COMPASS/CERN
- Планируется её замена на три микросхемы: Ampl-8.51, Ampl-8.11R (разрабатываются, поставка в конце 2021 г.) и Disk-8.15 (готова)
- **Цифровая электроника** основана на программируемых ПЛИС/FPGA микросхемах Xilinx/Artix7. Разработаны и заказаны 192-канальные VME блоки (7шт.) для считывания данных (провода и стрипы, 1344 канала) с прототипа RS (поставка - осень 2021 г.)
- **Испытания прототипа RS на Нуклотроне** практически обеспечены наличной FEE – для считывания информации с проводов достаточно привезти из ЦЕРНа аналоговые карты ADB-32 (запланировано на лето) и испытать цифровые VME блоки MFDM-192. В идеальном раскладе – осенью/зимой 2021 г.

# Основные FEE прото-карты мюонной системы

(будут испытаны с прототипом на Нуклотроне)

## Analog FEE card

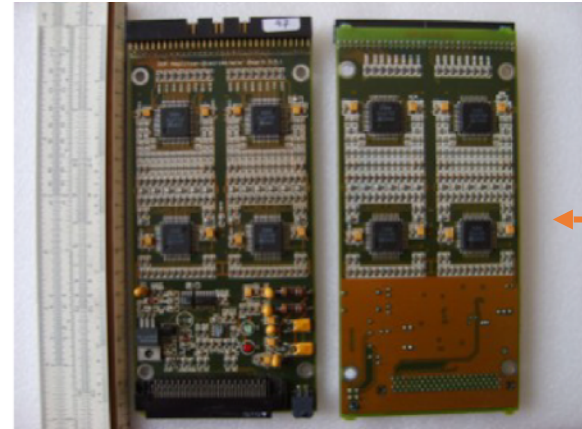
HVS/A-8 -> HVS/AD-8  
(планируется добавить дискриминатор с выходом LVDS)



(a)

## Analog FEE card

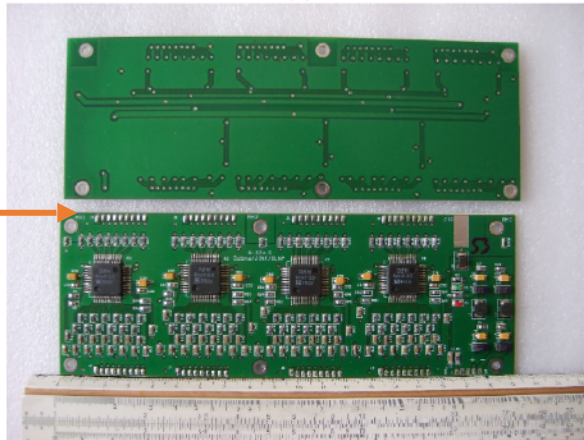
ADB-32 (пока принципиальных изменений не планируется)



(b)

## Analog FEE card

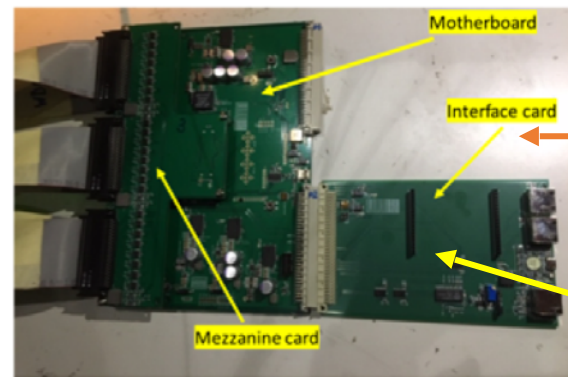
A-32 -> 2AD-32  
(планируется добавить дискриминатор с выходом LVDS)



(c)

## Digital FEE cards

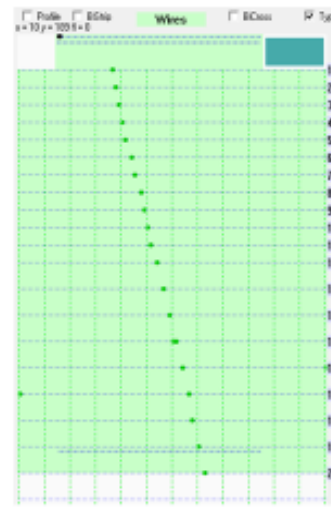
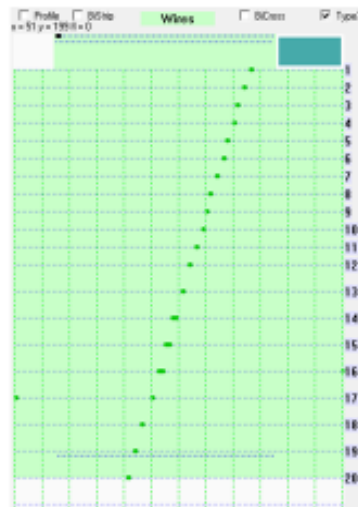
MFD-192  
(планируется адаптировать карту к SPD/DAQ заменой interface card)



(d)

# Результаты сравнительных испытаний DAQ (ASIC/F1 (a) vs FPGA/Artix7(b)) с прототипом RS на космике

Typical Cosmic Events



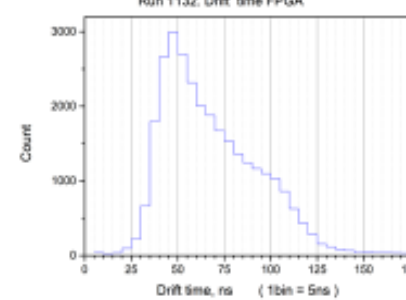
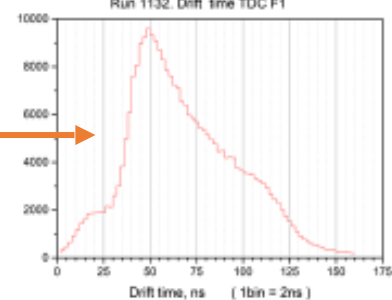
F1/ASIC  
READOUT

FPGA/ARTIX7  
READOUT

a

b

Спектр времени дрейфа МДТ показан с шагом 2 нсек, реально в COMPASS используется шаг 1 нсек.



Спектр времён дрейфа МДТ измеряется FPGA с шагом 5 нсек (clock = 200 MHz). Таким образом ~ 150 нсек максимального времени дрейфа укладываются в 32 канала измерения времени (режим дрейфовой камеры)