

# **Предложение по интеграции FE и DAQ**

# Состав установки SPD (версия CDR)

Table 7.1: Summary of detectors outputs to DAQ. Information type: T means time, A – amplitude (or charge).

Sub-detector	Information type	Number of channels	Channels per FE card	Number of outputs
Vertex detector 5 DSSD	T + A	460800	640	720
Vertex detector 3 MAPS+ 2 DSSD	T + (T + A)	(3024 + 596)*		864 + 596
Straw tracker	T + A	79200	64	1238
Calorimeter	T + A	30176	64	472
PID-ToF	T	20200	32	632
PID-Aerogel	T + A	320	32	10
BBC (inner+outer)	T + (T + A)	256 + 192	32	8 + 6
Range system	T	106000	192	553
ZDC	T + A	250 + 650	16	57
Total (max)		698044**		4436

\* – number of sensors, see Section 4 of Chapter 4

\*\* – for DSSD version

# Протоколы для связи DAQ и FEE

UCF (Unified Communication Framework)

- network protocol (IPbus)
  - up to 64 channels
  - Include timing, trigger and slow control
  - [https://indico.cern.ch/event/390748/contributions/1825135/attachments/1281396/1903787/crx\\_upgrades2\\_207.pdf](https://indico.cern.ch/event/390748/contributions/1825135/attachments/1281396/1903787/crx_upgrades2_207.pdf)
- eLink
  - simple serial link (LHC)
  - Include triggers, clocks
  - I2C for slow control

# FEE детекторов

- Straw tracker – VMM3 (fpga)
- Calorimeter – Базылев(IP) (“HGCR0C” – HKROC elink)
- TOF – PicoTDC (elink)
- Range system – 192ch boards (fpga)

# LpGBT & GBTx

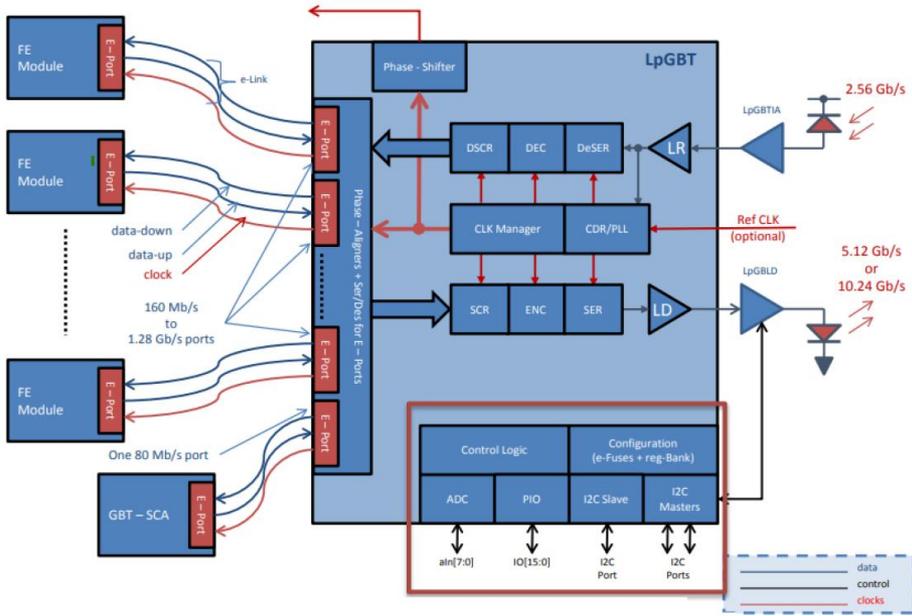


Figure 10 represents the general interconnection topology between the GBTx chip and the Front End electronics using E-links.

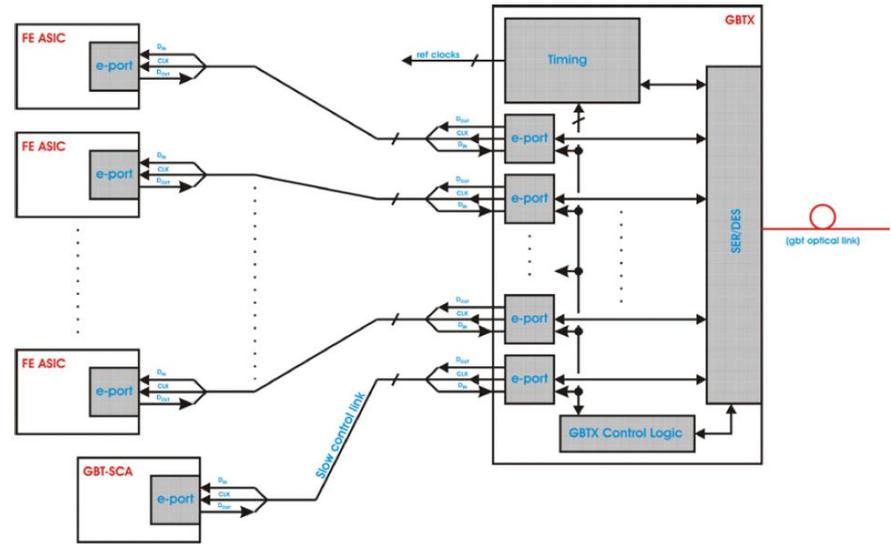


Figure 10 E-link connection topology.

# GBTx (МИФИ)

Специализированная интегральная микросхема (СИМС)

HUB v1

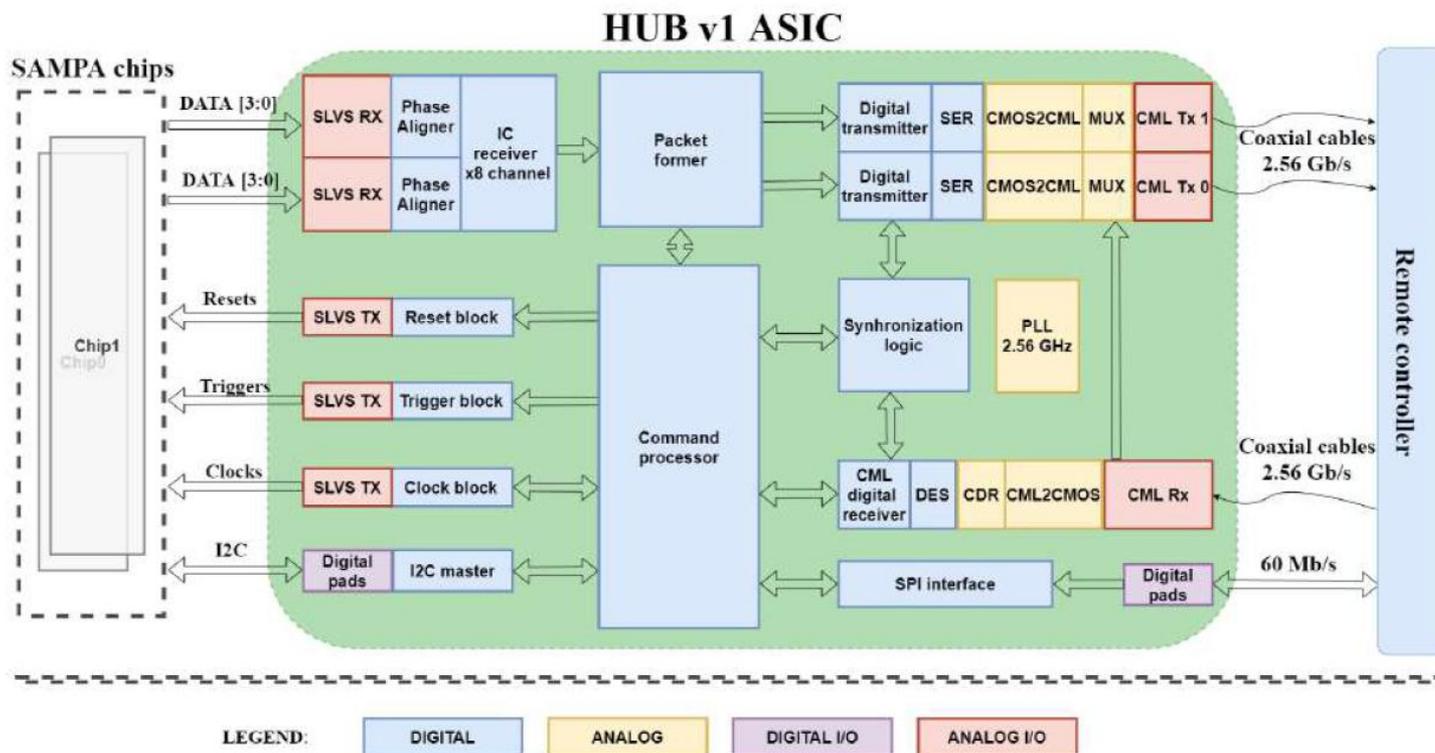


Рисунок 2. Структурная схема прототипной микросхемы

- Нет даже приблизительной оценки потока данных с детекторов.
- Исходя из числа каналов, необходимо использовать концентраторы и желательно, чтобы на основных детекторах они были одного типа.
- Если удастся использовать ASIC с eLink (PicoTDC, HKROC), то разумно остановиться на технологии GBTx. Если не удастся, то в любом случае надо ориентироваться на ограничения по возможностям ресурсов FPGA в FEE.
- Необходима информация по радиационно стойким решениям (FPGA (Lattice Certus-NX, China), GBTx (Hub v1))

**BACKUP**

# SPD

