

Разработка RUNO ASIC для времяпролетных детекторов.

Е.Усенко (ИЯИ РАН, ОИЯИ),

М.Буряков (ОИЯИ),

В.Чмиль (ОИЯИ).

Цели и основная мотивация создания RUNO ASIC.

Постановка задачи на первый этап разработки в 2022 году.

- Опробовать технологию ООО МИКРОН. Технология нам идеально подходит по технологическим нормам 180 нм, но была куплена у IBM с ограниченной лицензией только для цифровых схем.
- Определить соответствует ли библиотека элементов ООО МИКРОН на основе которой делался расчет проекта в CADENCE их реальному техпроцессу?
- Сделать расчет проекта в CADENCE, взяв за основу структуру и схемотехнику NINO ASIC. **Короткие сроки запуска Федеральной программы резко ограничили основную задумку – взять NINO ASIC за основу, а не копировать его!**
- В короткие сроки войти в Федеральную программу стартовавшую в 2022 году чтобы бесплатно производить опытные образцы на предварительных этапах.
- Разработка проекта RUNO ASIC в системе CADENCE была выполнена по договору с МИФИ.

До заключений договора с МИФИ нами предлагался к разработке чип **лишь частично напоминающий NINO ASIC, чтобы получить новые функции, необходимые для эффективной работы с SiPM, как опция.**

Почему в основе NINO ASIC? Он устарел?

1. NINO ASIC разработан в 2005 году по технологическим нормам 250нм.

- До сегодняшнего дня его структура и схемотехника инновационны и до определенной степени совершенны.
- В мире было несколько попыток повторить NINO ASIC, но до реализации дошел только проект PADI (GSI, Darmstadt).

Проект PADI начался в 2005 году и через 20 лет находится в стадии коррекции постановки задачи! В целом чип не удался – проблемы с устойчивостью и функционалом.

Почему NINO ASIC трудно повторить?

- Структура и схемотехника NINO ASIC создавалась впервые и для безопасности проекта были выбраны избыточные решения, которые обеспечили его качества.
- Очень высокая стабильность параметров и низкий разброс от канала к каналу и от чипа к чипу.
- Введение внутренних обратных связей для стабилизации режима работы при изменении внешних параметров.

RUNO ASIC что получилось на сегодня?

На сегодня мы имеем три производственные версии RUNO, V01, V02, V03, в основе которых лежит неизменный чип с различными добавками, не влияющими на основные параметры чипа.

Добавки такие: входные защитные диоды Шоттки (присутствуют в NINO ASIC), дополнительные конденсаторы по питанию, вариант контактных площадок под разварку в сетку.

Не все версии рабочие по производственным причинам.

Рабочие и протестированные версии V02, V03.

Например третья производственная версия.

Chip ver#3

Name SPD NINO 03

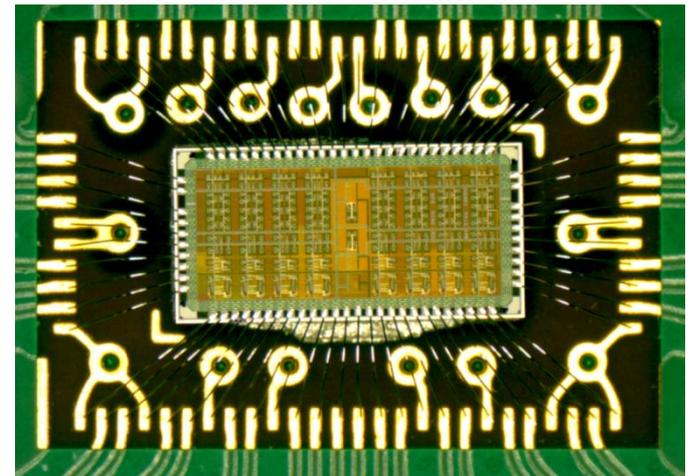
lib 2022_NINO_CHIP_spd_nino3_V0

cell spd_nino3

gds spd_nino3_09092022.gds.tar.gz

Version Detail:

- add input diodes
- dummy capacitor between power and ground rails
- additional grids of substrate contacts
- BGR in each channel



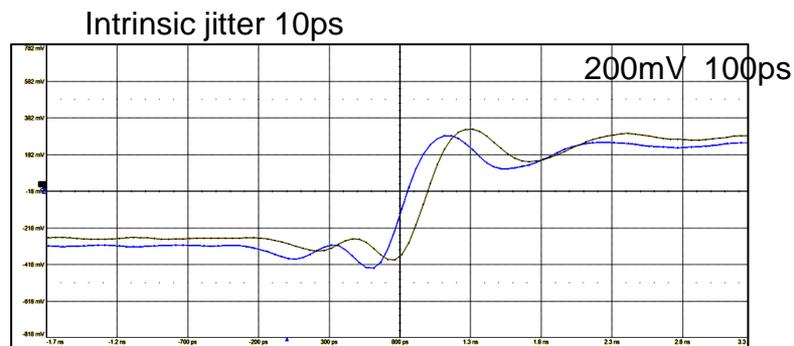
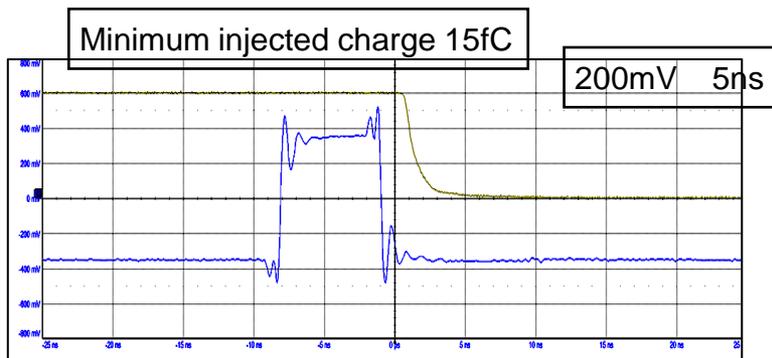
RUNO ASIC результаты тестирования.

Результаты тестирования версии 03 RUNO, версия 02 совпадает.

Важно: чип при номинальных параметрах установок не работает, если его перенастроить в нестандартный режим работы, то можно померить.

При этом:

- Режим работы соответствует увеличенному коэффициенту преобразования примерно в 2 раза,
- Не работает схема стабилизации режимов,
- Заужен диапазон установок порогов,
- Не работает схема управления входным импедансом,
- Некорректно работает стретчер,
- Нештатно регулируется гистерезис.



RUNO ASIC результаты тестирования.

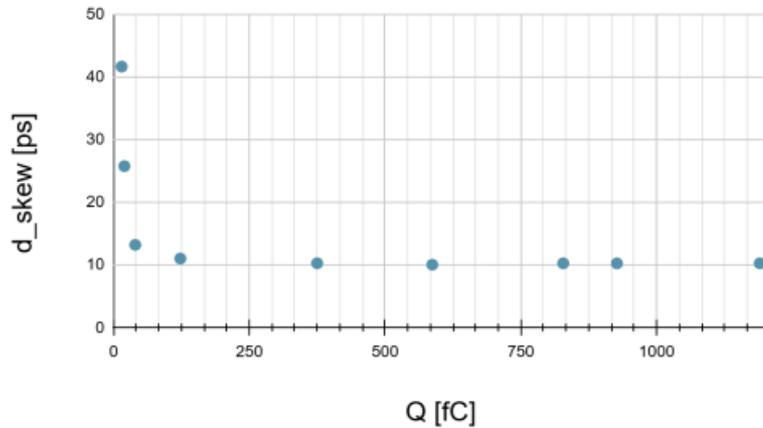
RUNO ASIC собственный джиттер.

v03 ch 05 thr- 0.842V; thr+ 1.014V; hist_t 0.688V; str_t 0.982V; BN5 0.698V; BN6 1.16V

таблица результатов измерений

Q, fC	width, ns	d_width ps	skew ns	d_skew ps
1190	9.61	28.65	9.16	10.27
927	9.3	52.83	9.09	10.26
828	8.73	67.88	9.08	10.27
587	7.95	60.45	9.05	10.05
375	6.98	99.67	9.01	10.28
123	5.84	107.5	8.91	11.03
40	4.39	87.13	8.66	13.21
20	3.34	87.11	8.30	25.76
15	3.46	142.9	8.15	41.64

sdev skew vs Q(fC)



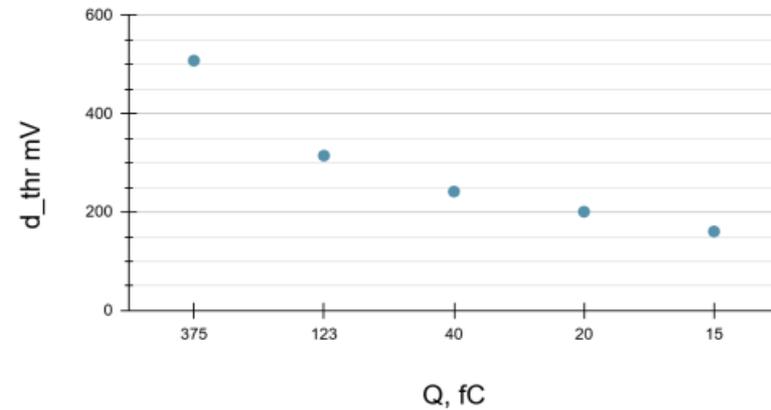
RUNO ASIC пороговая характеристика.

v03 ch 05 hist_t 0.688V; str_t 0.982V; BN5 0.698V; BN6 1.16V

таблица порог-заряд

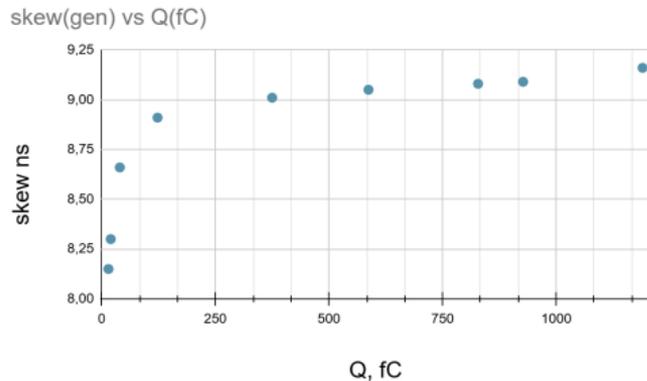
Q, fC	thr- mV	thr+ mV	d_thr mV
15	1017	855	161
20	1017	815	201
40	1008	764	242
123	1008	690	315
375	1011	502	508

Threshold vs Q(fC)

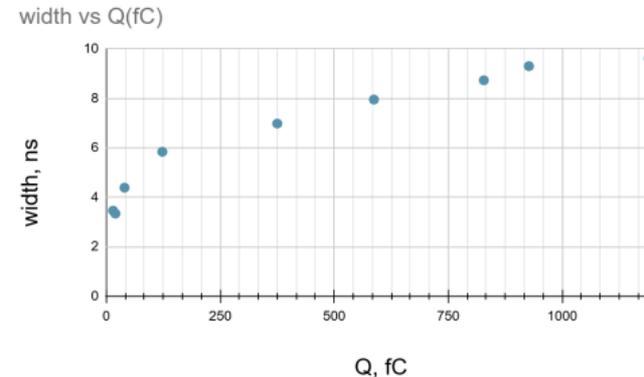


RUNO ASIC результаты тестирования.

RUNO ASIC - задержка срабатывания.



RUNO ASIC - TOT (ширина).



Все измеренные параметры чипов соответствуют проекту МИФИ и требуют коррекции только в частностях.

Разумеется, с поправкой на измененный режим работы чипа.

Отдельно можем дать оценку качества проектирования чипа в МИФИ, как в достаточной степени профессиональную.

RUNO ASIC результаты тестирования.

Причина частичной работоспособности чипа.

1.Технология ООМ МИКРОН ориентирована на цифровые схемы, не имеет опции транзисторных структур с другим напряжением отсечки, что необходимо для проектов аналоговых чипов.

2.Технология ООМ МИКРОН не соответствует представленной библиотеке элементов .

Это приводит к некорректной работе усилительных структур чипа, в особенности тех, что обладают высоким усилением - цепей стабилизации режима.

Заключение.

Мы считаем что проект RUNO ASIC показал работоспособность и возможность реализации на производственной базе ООО МИКРОН. Для этого необходимы следующие шаги:

- Необходима коррекция библиотечных элементов CADENCE до соответствия реальной технологии ООО МИКРОН.
- Для этого необходимо взаимодействие с МИЭТ (координатор Федеральной программы) и МИФИ, как держатель проекта и пакета CADENCE. Должно быть внесено в новый договор с МИФИ.

Возможны и иные варианты, но они однозначно более затратны и будут ориентированы на зарубежных производителей, что по нашему мнению не ускорит процесс, а внесет дополнительные элементы неопределенности.

Этапы разработки ASIC.

1. Постановка задачи на разработку ASIC:
 - Исследование прототипов канала считывания на основе дискретных компонентов, определение параметров чипа.
 - Предварительный расчет и оценочное симуляция для выбора технологических норм производителя ИС.
 - выбор конкретного производителя ИС, заключение соглашения.
2. Моделирование схемотехники канала электроники в системе CADENCE на основе библиотек конкретного производителя.
3. Проектирование топологии многоканального чипа в системе проектирования CADENCE.
4. Получение квоты производителя, производство.
5. Разварка чипа на пробную печатную плату.
6. Тестирование опытной партии чипов в чистом помещении, создание специализированного стенда и программного обеспечения.
7. Исследования чипа в реальных условиях работы с камерами на стенде и на пучке частиц.
8. Внесение изменений и производство конечной партии чипов.
9. Выбор корпуса и корпусирование конечной партии.
10. Тестирование 100% чипов, разбраковка.

Почему нельзя купить ASIC?

1. Научное сообщество не имеет коммерческой составляющей, не магазин!
2. Каждый эксперимент располагает ограниченным ресурсом для производства и делает исключительно технологические запасы необходимого количества чипов.
3. Остатки неиспользованных чипов представляют собой отбракованные экземпляры по критичным параметрам, по числу работающих каналов и т.п.
4. Использованные в эксперименте чипы (старая электроника) подвергались радиационному воздействию, параметры их в лучшем случае не соответствуют заявленным. Некоторые каналы деградируют и выходят из строя с нарастанием процесса старения. В цифровых схемах нарастают сбои, требующие перезагрузки систем считывания.
5. При создании многоканальных систем требуемое количество чипов всегда значительно превышает остатки и разбраковку.