



Электроника считывания временной информации с пропорциональных узкозачерных камер для определения координат электронов на пользовательских каналах линейного ускорителя ЛИНАК-200

Владислав Пунтус

Показаны две из
четырёх возможных
точек вывода луча для
ЛИНАК-200.

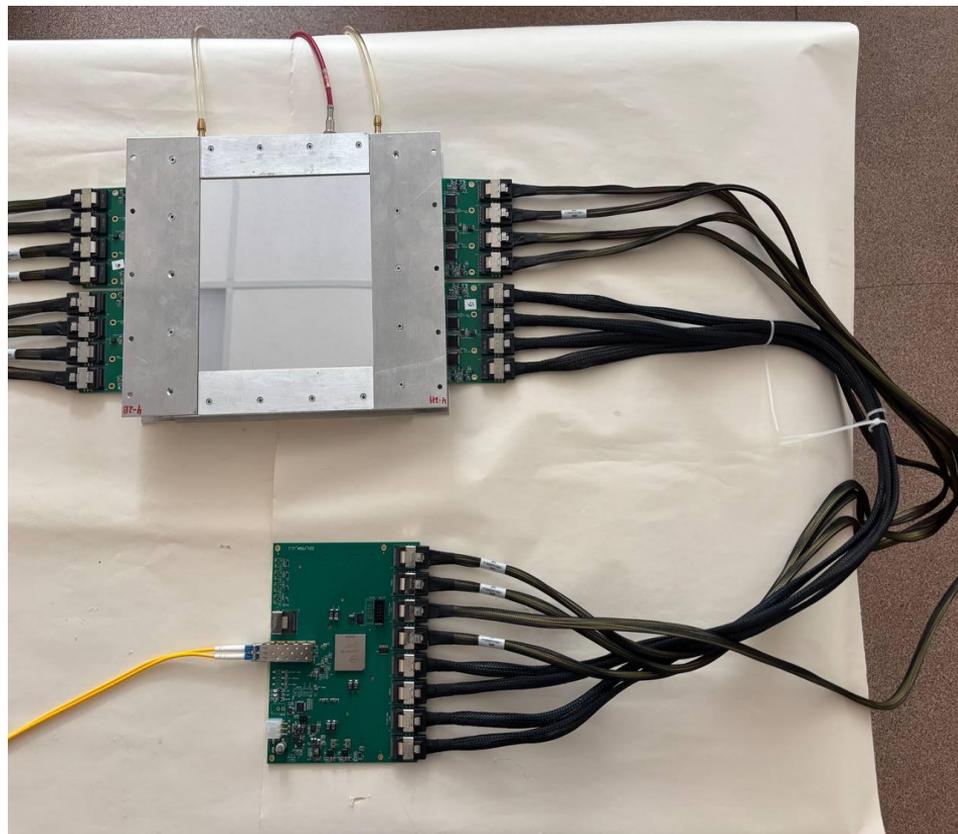
В будущем
планируется
увеличить энергию
ускорителя до 800
МэВ

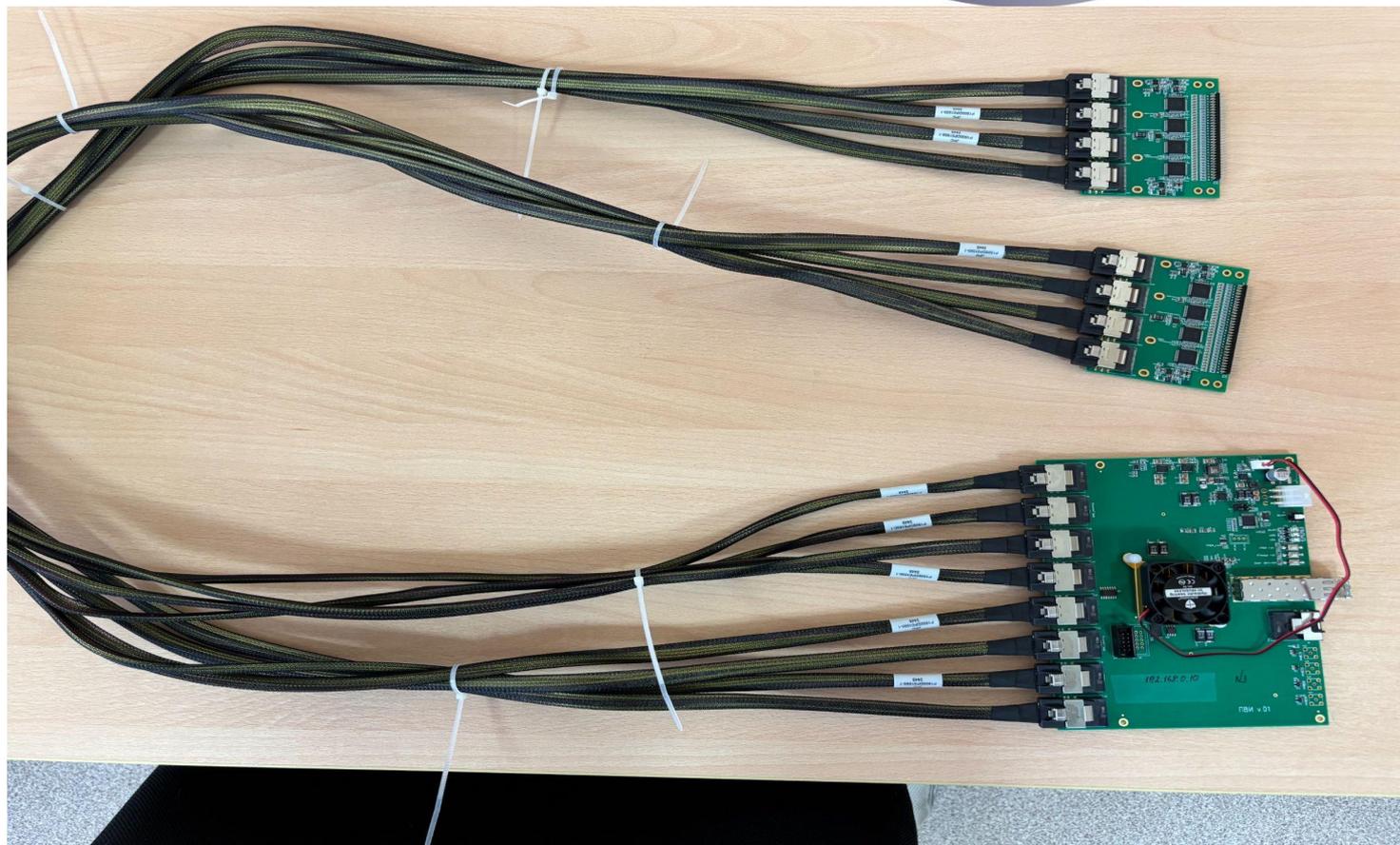


Parameter	Beam extraction point № 1 (EP1)	Beam extraction point № 2 (EP2)
Electron energy, MeV	5–25	40–200
Pulse duration, μs	0.2–3.5	
Max. pulse current, mA	60	40
Pulse repetition rate, Hz	1–50	1–25

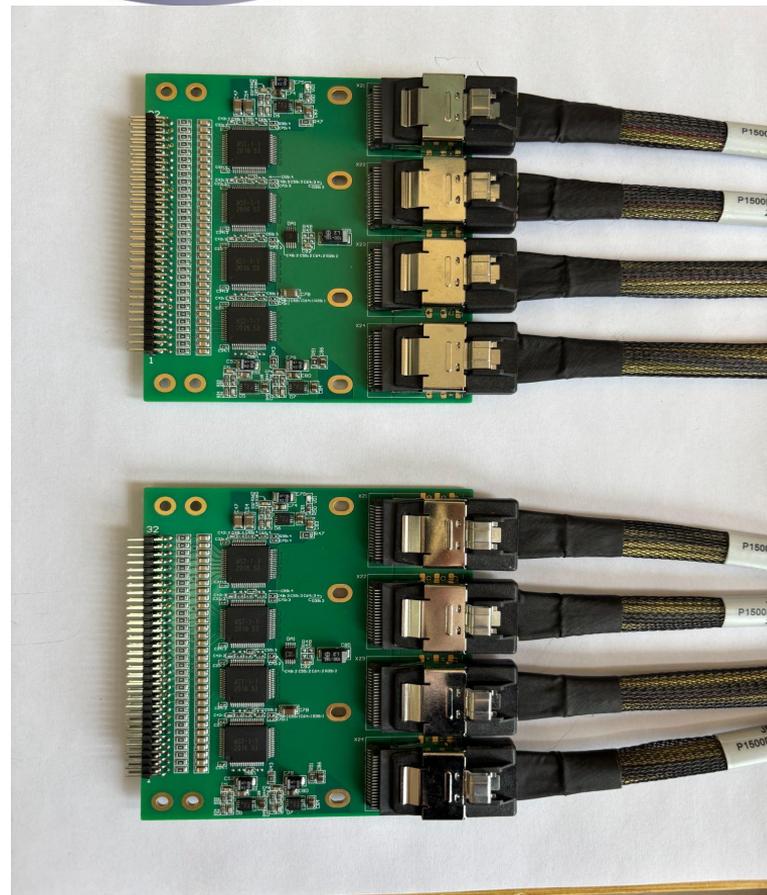
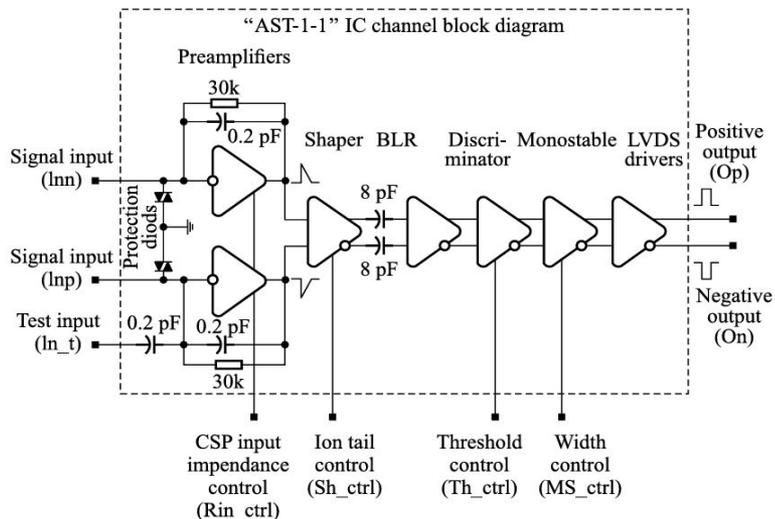
- 128 проволочек с шагом 1мм
- Временное разрешение - 7нс
- Газовая смесь:
 - Хладон CF_4 - 80 %
 - Изобутан C_4H_{10} - 20 %
- Рабочее напряжение - до 3кВ

Данная электроника может работать с дрейфовыми камерами, straw tube и другими подобными детекторами. На сегодняшний день фронтэнд электроника на основе микросхемы AST1-1 используется в экспериментах NA64(CERN), HyperNIS(ОИЯИ), и других детекторах.





1. Число каналов AST 1-1 - 8;
2. Входной импеданс задается в диапазоне 50-560 Ом;
3. Диапазон регулировки порога срабатывания 1-23 фКл;
4. Длительность выходного сигнала определяется сигналом с камеры;
5. Задержка выходного сигнала - 6 нс;
6. Напряжение питания 2,5 - 3,3 В
7. Потребление платы 250 мА (32 канала)



64-канальный преобразователь время-код (TDC)

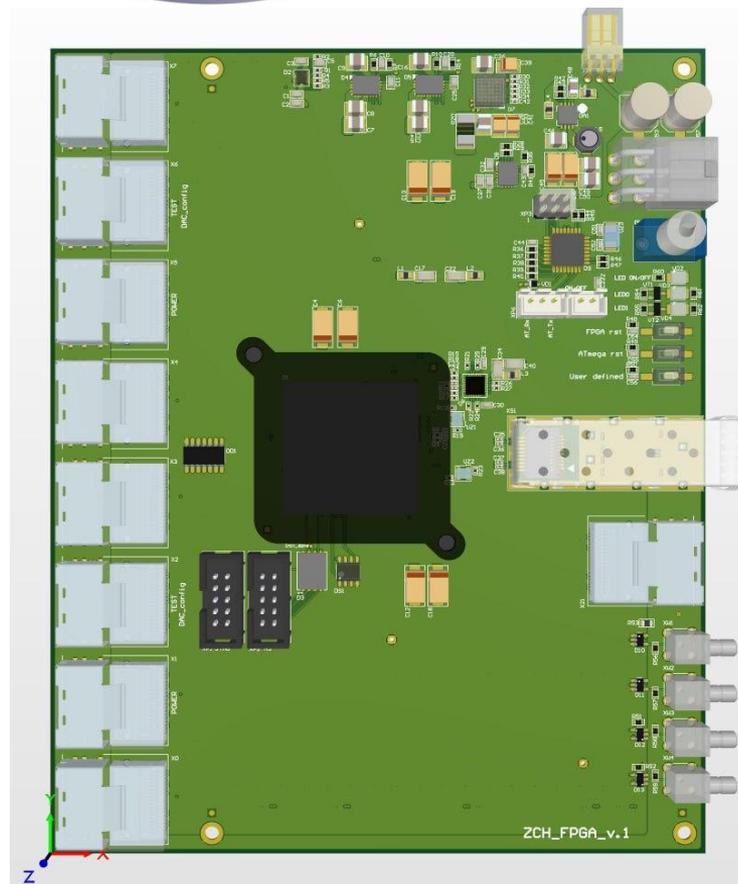


Fitter Summary

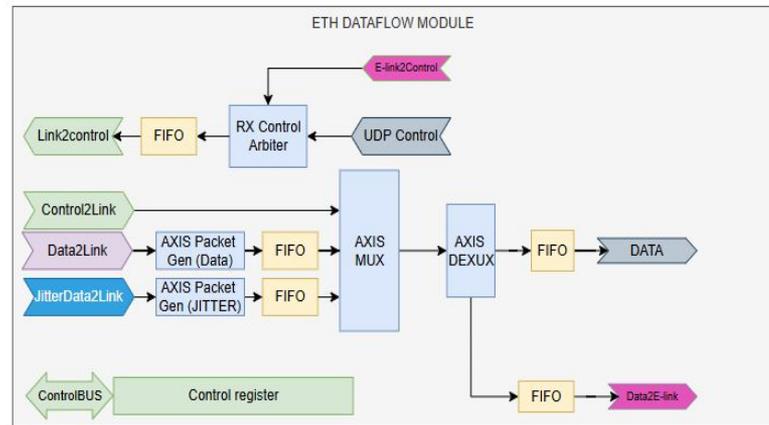
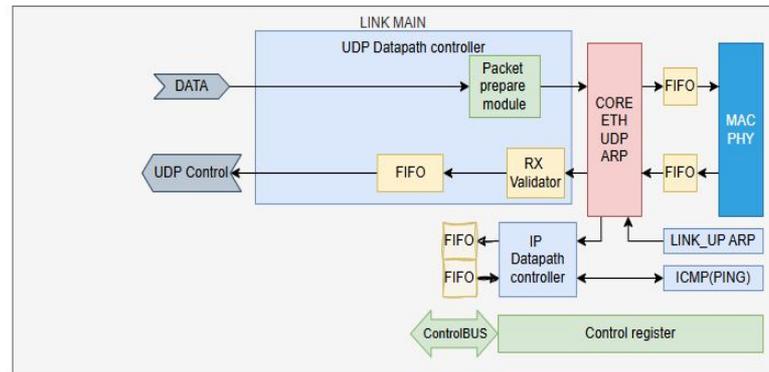
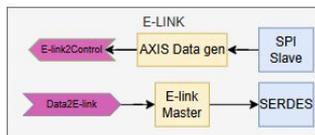
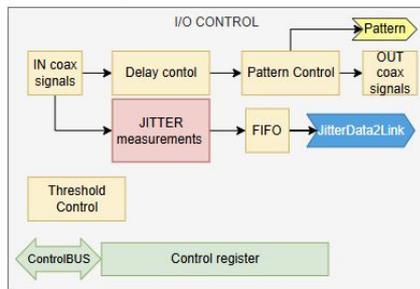
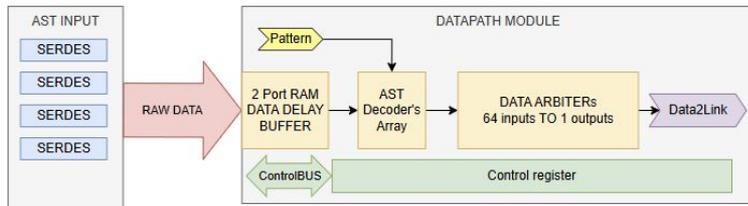
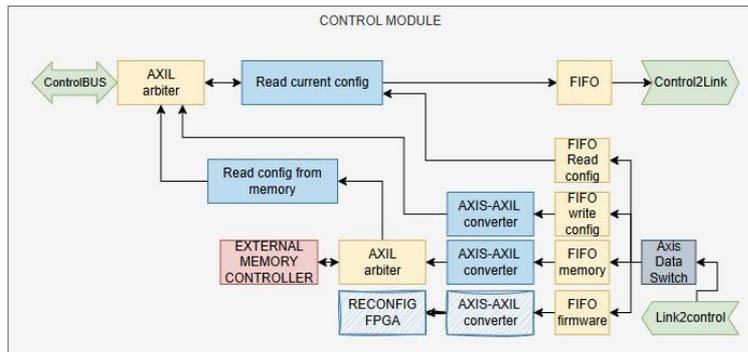
Search <<Filter>> (use !<string> to invert filter)

Fitter Status	Successful - Mon Apr 14 18:02:31 2025
Quartus Prime Version	24.2.0 Build 40 06/27/2024 SC Pro Edition
Revision Name	PCB_ver_1
Top-level Entity Name	Main
Family	Cyclone 10 GX
Device	10CX105YF780E6G
Timing Models	Final
Power Models	Final
Device Status	Final
Logic utilization (in ALMs)	17,533 / 38,000 (46 %)
Total registers	37138
Total pins	178 / 340 (52 %)
Total virtual pins	0
Total block memory bits	399,072 / 7,823,360 (5 %)
Total RAM Blocks	265 / 382 (69 %)
Total DSP Blocks	0 / 125 (0 %)
Total HSSI RX channels	1 / 12 (8 %)
Total HSSI TX channels	1 / 12 (8 %)
Total PLLs	8 / 30 (27 %)

Intel Cyclone 10GX (105YF780E6G)

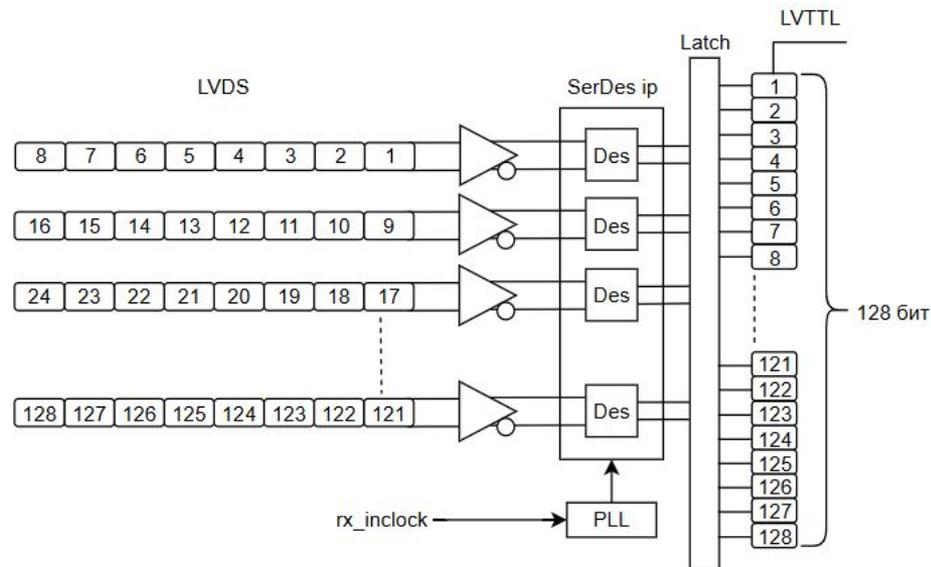
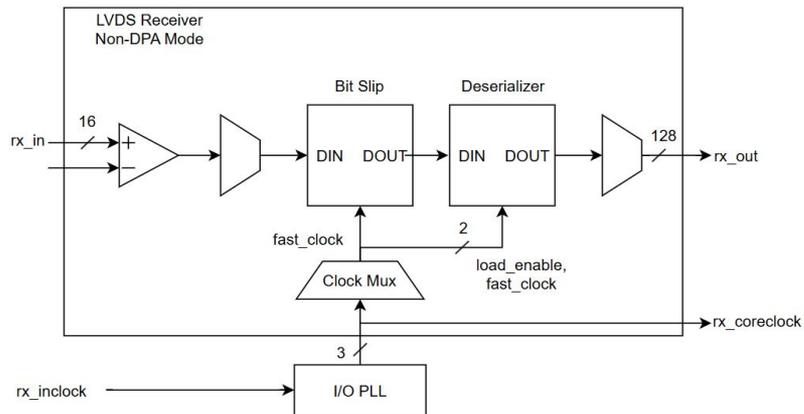


Архитектура проекта



SerDes (англ. Serializer/Deserializer) — это интегральная схема или блок, выполняющий преобразование параллельных данных в последовательные (сериализацию) или последовательных данных в параллельные (десериализацию).

LVDS SERDES ip Cyclone 10GX



Структура данных:

PACKET	Clk 125 MHz counter (value)	Trigger counter	CH NUM	Flag minus	Out full	Tail Hit	Inside Pos	Inside Hit
Bits	29	9	6	1	11	3	2	3

Clk 125 MHz counter (value) - счетчик для отсчета времени (29 бит)

Trigger counter (Num) - номер триггера (9 бит)

CH NUM - номер канала (6 бит)

Flag minus - означает, что сигнал начался до триггера (1 бит)

Out full - полное время импульса (11 бит)

Tail Hit - хвост импульса (3 бита)

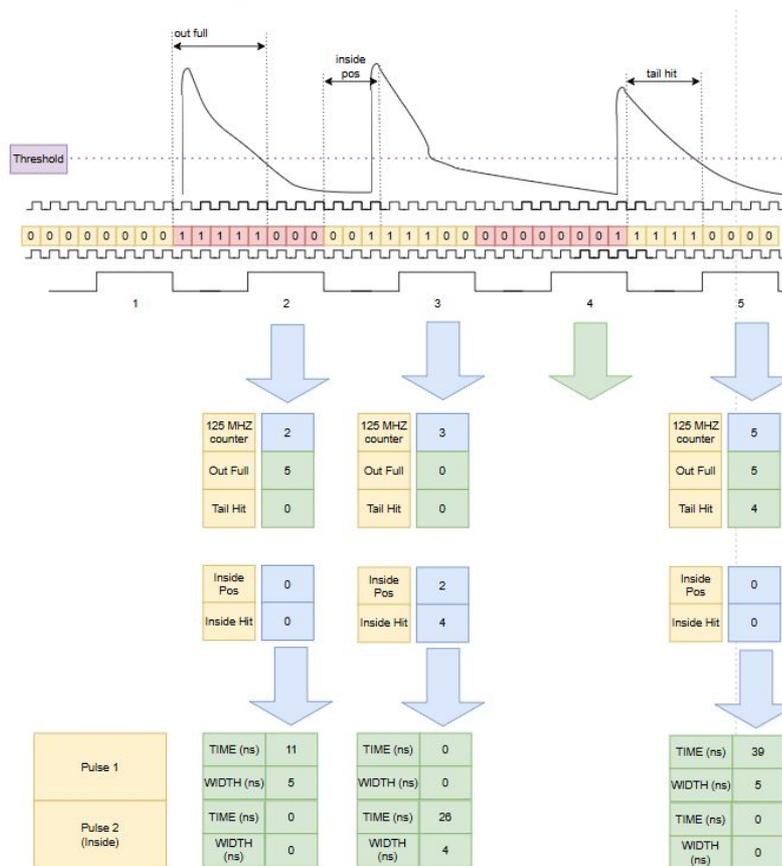
Inside Pos - позиция начала импульса в байте (2 бита)

Inside Hit - импульс внутри байта (3 бита)

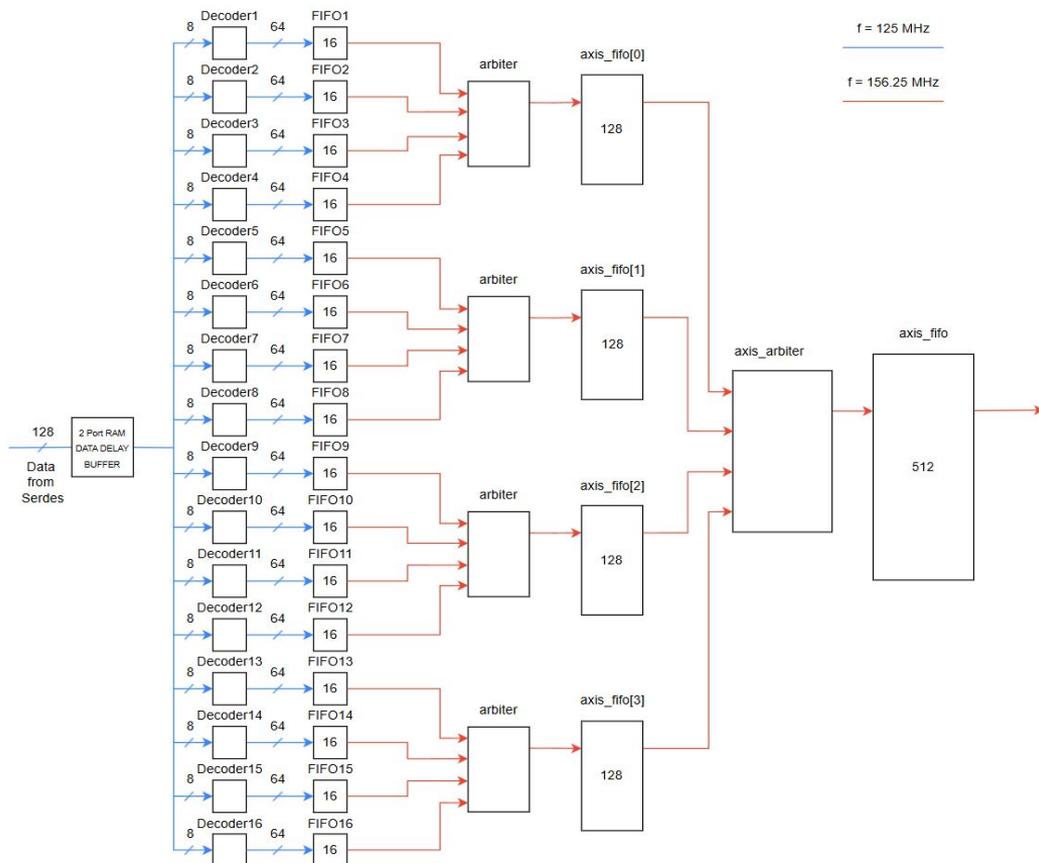
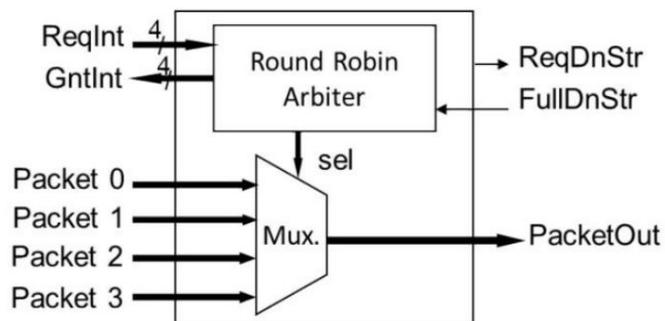
Формулы расчета

$$\text{TIME} = (125\text{MHz_cnt} * 8) - (\text{Out full} - \text{Tail_hit})$$

$$\text{TIME} = (125\text{MHz_cnt} * 8) - (\text{Inside hit} + \text{inside Pos})$$



Round-robin арбитр — это механизм, который поочерёдно (циклически) предоставляет доступ к общему ресурсу (например, шине данных или каналу передачи) нескольким источникам (потокам данных), объединяя их в один выходной поток.



Dynamic packet gen



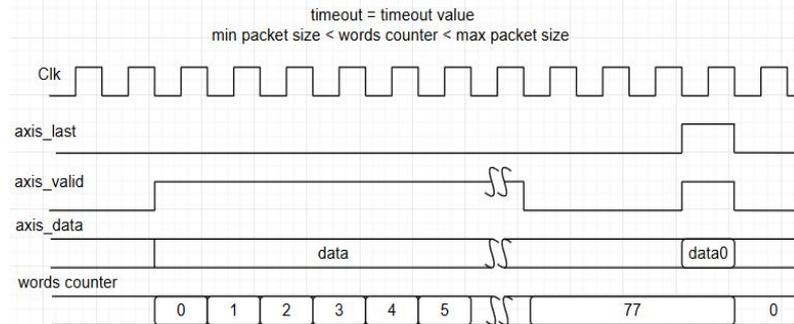
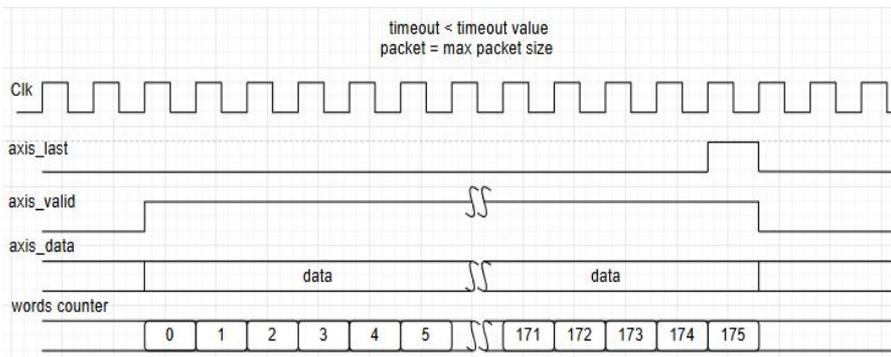
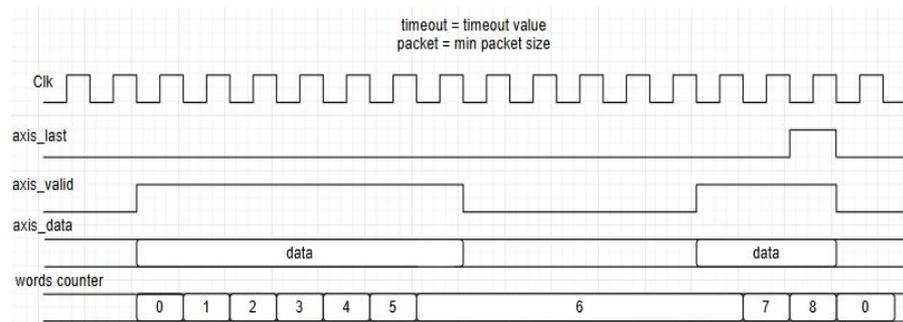
Примеры формирования
динамического пакета UDP.

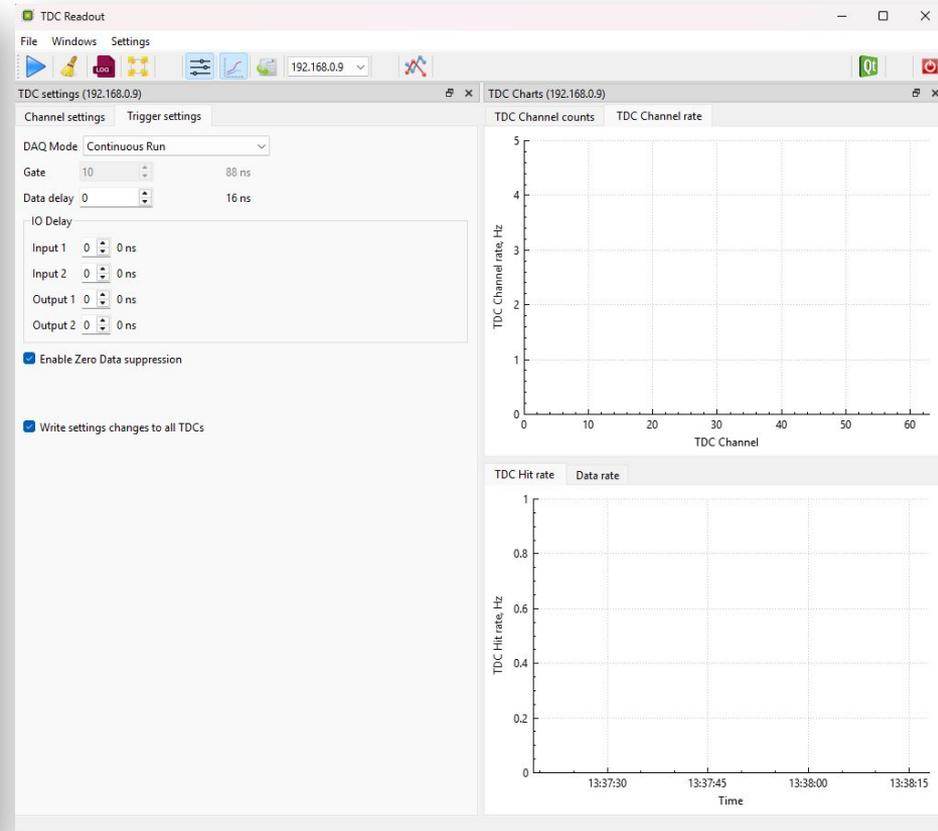
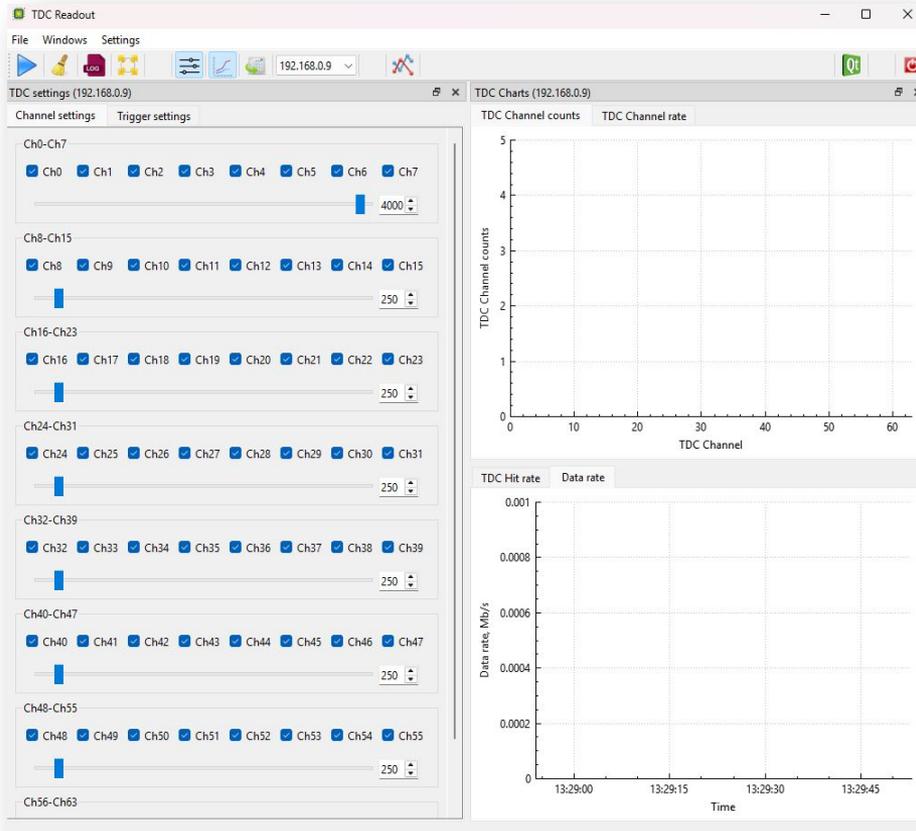
Значения, управляющие размером
пакета

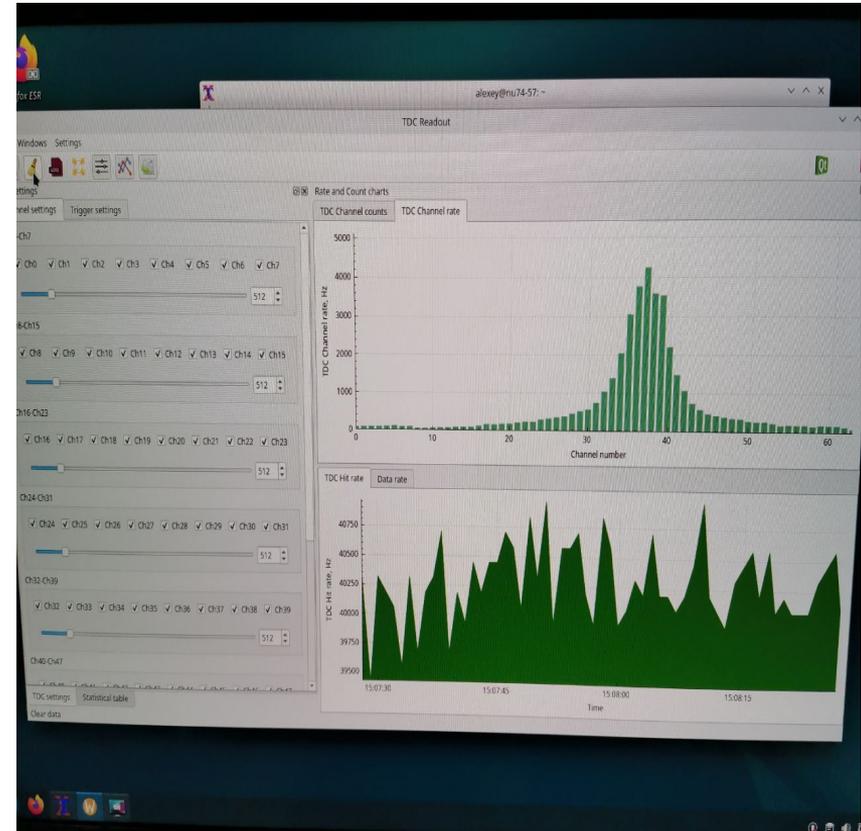
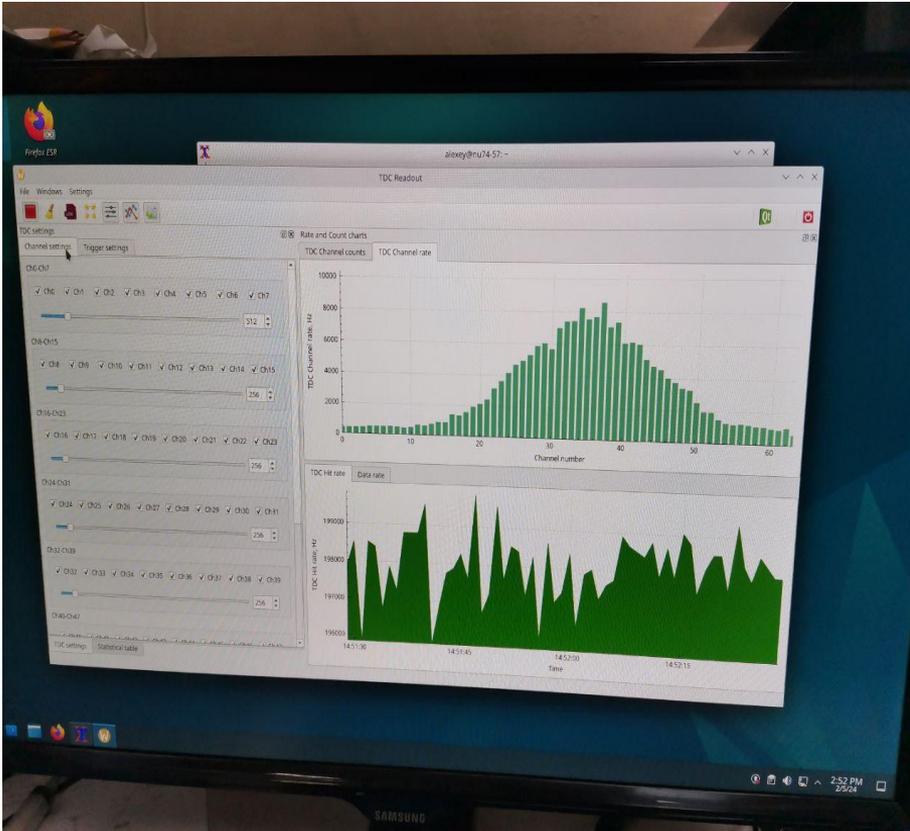
Max packet size = 176

Min packet size = 10

Timeout value = 3









Таким образом, для ускорителя ЛИНАК-200 была разработана электроника считывания данных с камер, позволяющая визуализировать положение проходящих электронов (мониторировать электронный пучок). На сегодняшний день изготовлено 8 камер, по 4 на пользовательский канал. Для всех камер изготовлена электроника, в данный момент она находится на стадии тестирования. Во второй половине года камеры будут введены в эксплуатацию.



Dzhelepov Laboratory
of Nuclear Problems



Joint Institute for
Nuclear Research

Спасибо за внимание

E-mail: Puntus@jinr.ru



BACKUP

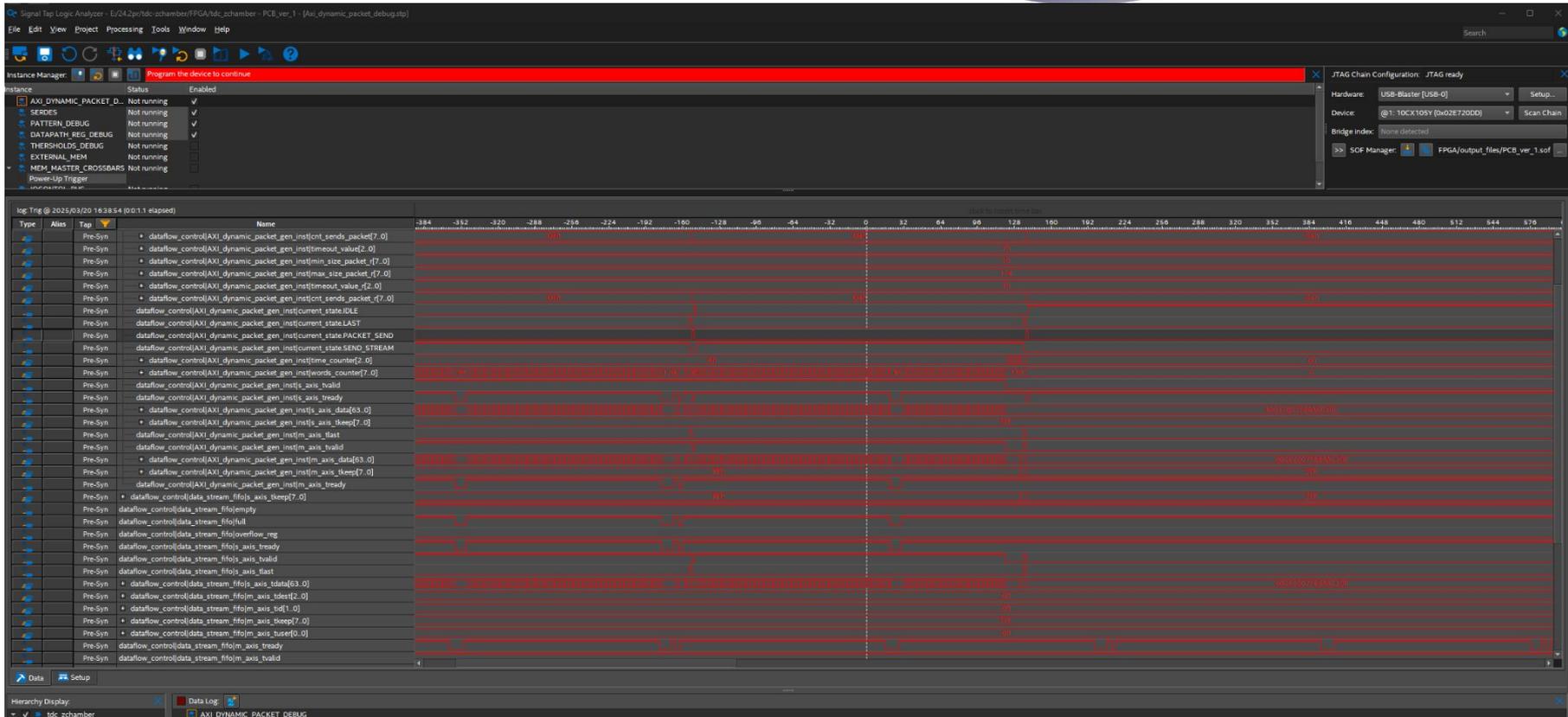
Signal Tap Logic Analyzer



Dzhelepov Laboratory
of Nuclear Problems



Joint Institute for
Nuclear Research



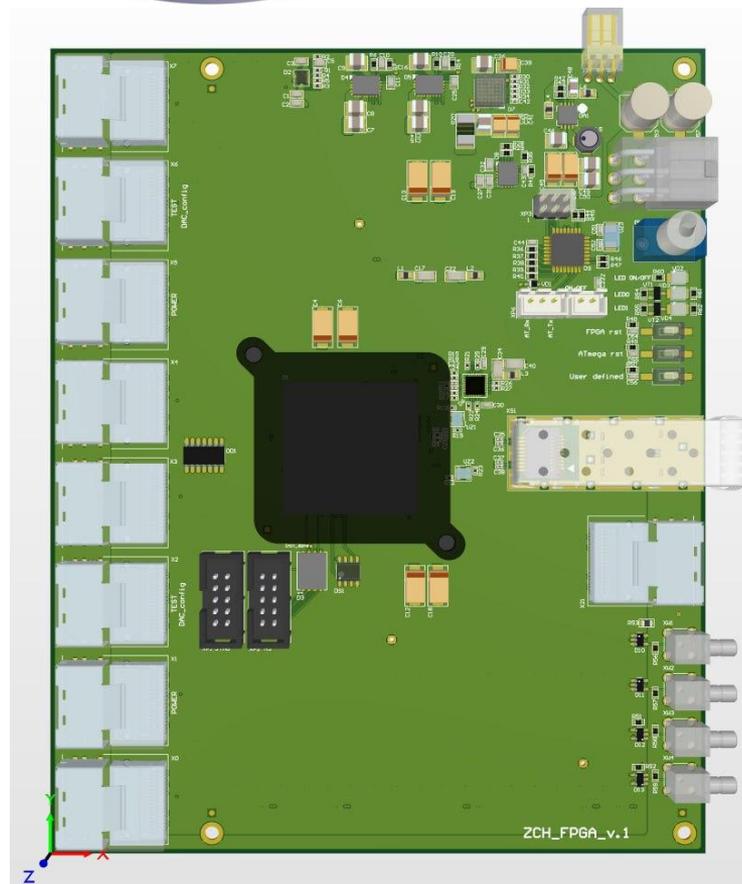
Формирование данных в UDP пакет

64-канальный преобразователь время-код (TDC)



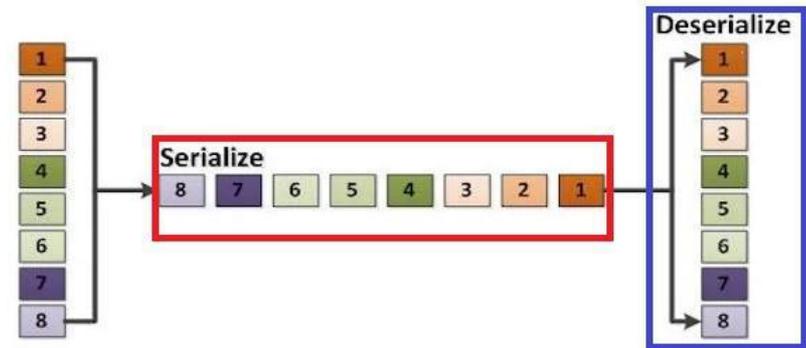
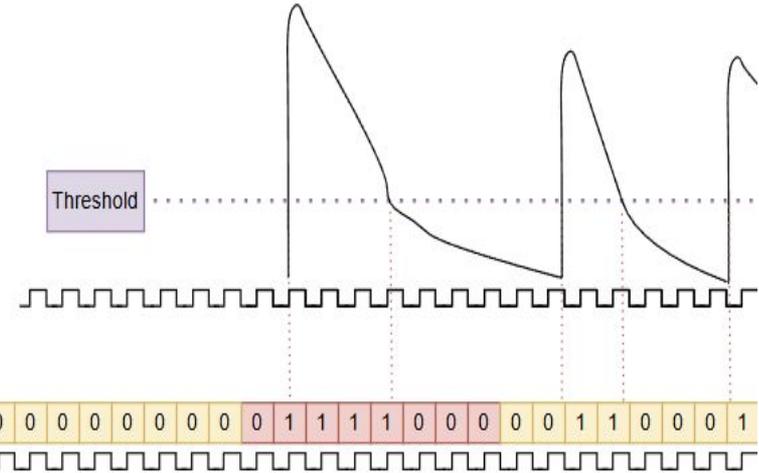
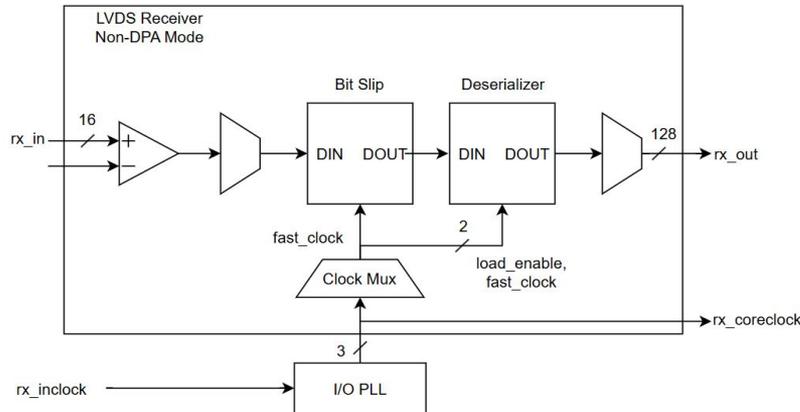
Logic Elements (LE) (K)		104
ALM		38,000
Register		152,000
Memory (Kb)	M20K	7,640
	MLAB	799
Variable-precision DSP Block		125
18 x 19 Multiplier		250
Hard Floating-point Arithmetic		Yes
PLL	Fractional Synthesis	4
	I/O	6
12.5 Gbps Transceiver		12
GPIO (2)		284
LVDS Pair (3)		118
PCIe Hard IP Block		1
Hard Memory Interfaces		2

Intel Cyclone 10GX (105YF780E6G)

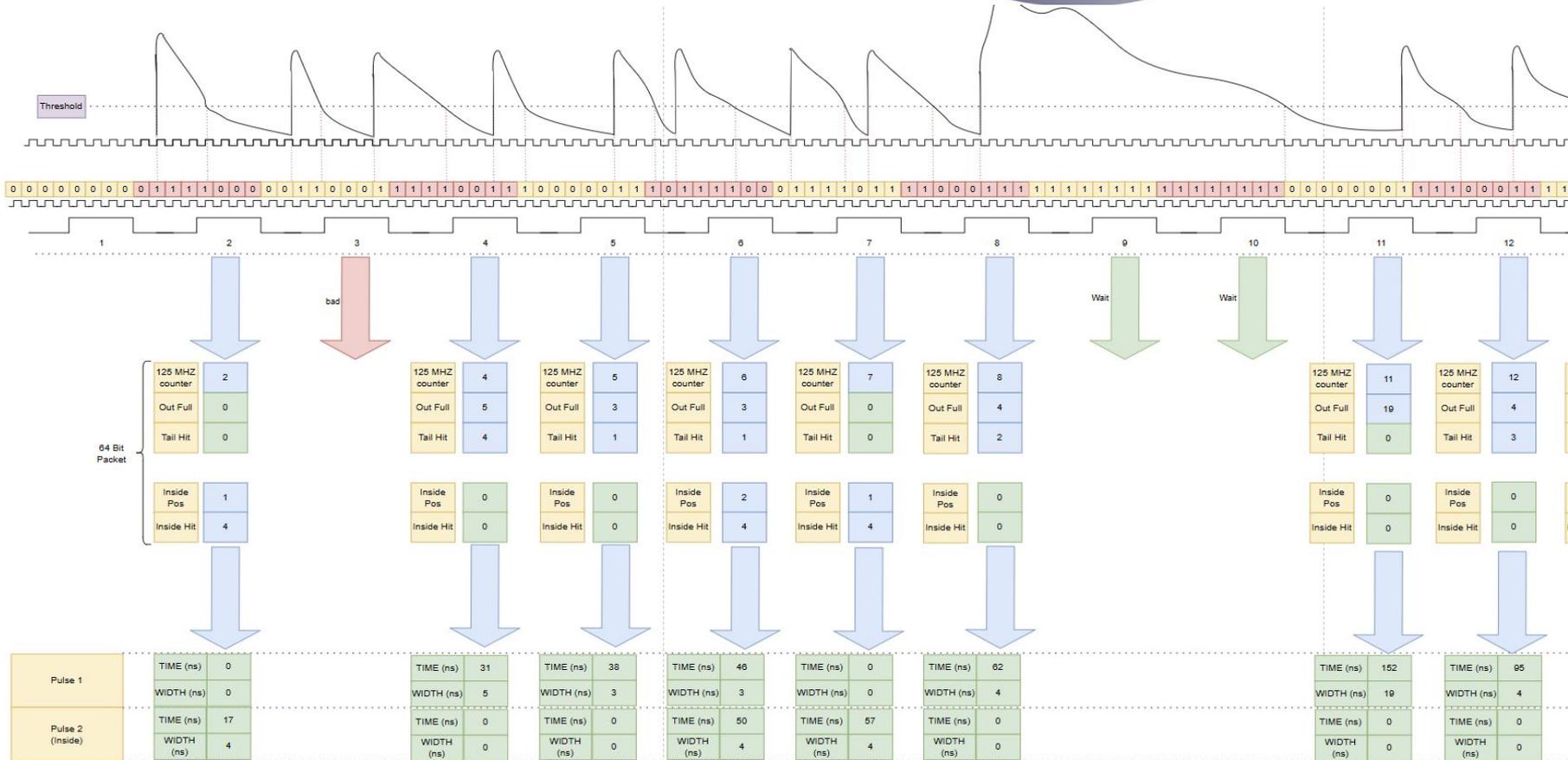


SerDes (англ. Serializer/Deserializer) — это интегральная схема или блок, выполняющий преобразование параллельных данных в последовательные (сериализацию) или последовательных данных в параллельные (десериализацию).

LVDS SERDES ip Cyclone 10GX



Decoder data



Основные этапы обработки и передачи данных()

